

一种适用于流水线 ADC 的数字校准算法的硬件实现^①郭静宜^② 李冬梅 刘力源* 李福乐*

(清华大学电子工程系 北京 100084)

(* 清华大学微电子研究所 北京 100084)

摘 要 研究了一种适用于开关电容级电路结构的流水线 ADC 的数字后台校准算法并提出了其硬件实现方法。此算法适用于每级 1.5bit 和多 bit 的子级转换电路,实时地监控关键子级电路转换函数的特性,并从数字输出中提取校准信息,不中断正常的转换过程。文中提出的硬件实现方法通过有限状态机实现该算法,实现了各模块高效的协同工作。仿真证明用该硬件实现方法设计的校准处理系统能够有效校准电容失配和运放有限增益误差。

关键词 流水线 ADC, 数字校准, 后台

0 引言

作为数字信号和模拟信号接口的模数(A/D)转换器(analog-to-digital converter, ADC)是各种数字系统中不可缺少的重要组成部分,其性能的优劣直接影响到系统的性能。流水线型 ADC 以其高速、高精度的特点,被广泛应用于信号处理领域。但是,随着流水线 ADC 精度的不断提高,尤其是当精度超过 10bit 时,工艺误差导致的电容失配以及运放有限增益等误差的影响,使得 ADC 的精度受到了限制,要实现 ADC 的高精度,则需要数字校准这项关键技术。数字后台校准由于其鲁棒性、灵活性好,且不打断正常的 A/D 转换,已成为目前主流的校准技术。数字后台校准的方法有很多种,各有其适用范围。通过速度慢而准确的 ADC 去校准速度快而不准确的 ADC^[1-3],可得到既快又准确的 ADC,但增加了额外的 ADC;[4-5]中所用技术可以校准电容失配和运放有限增益造成的线性误差,但只适用于多 bit 级电路;在某些校准技术中,校准信息的提取与输入条件有关^[6]。本文基于一种数字后台校准算法^[7],研究并提出了针对该算法的硬件实现方法。通过在模拟电路中引入随机序列,在数字域提取校准信息,可校准对 ADC 线性影响最大的误差——电容失配和运放有限增益,适用于 1.5bit 级电路或多 bit 级电路,显著地提高了精度和线性度。而且不影响正常转换

过程和转换速度,对模拟电路的改动较小,校准结果与输入条件无关。

1 流水线 ADC 结构

流水线 ADC 的整体结构如图 1 所示。由采样保持电路(sample-hold amplifier, SHA), $N-1$ 级流水线子级转换电路和 Flash ADC 组成。每个流水线级电路包括 1 个低功耗子 ADC 和 1 个余量增益数字模拟转换器(multiplying digital to analog converter, MDAC)。每级子 ADC 对输入的模拟信号进行初级量化,产生 B 位数字输出,同时保持的输入信号减去由 DAC 变换输出的模拟量,余量被残差放大器放大 2^B 倍后送入下一级做同样处理。

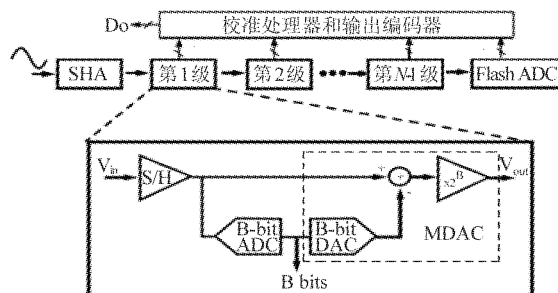


图 1 流水线 ADC 结构

1.5bit 级电路的传输特性如图 2 所示。

在每一级电路中的误差主要分为线性误差和非线性误差。

① 国家自然科学基金(60475018)资助项目。

② 女,1983年生,硕士;研究方向:用于流水线 ADC 的数字后台校准算法;联系人, E-mail: erh566@yahoo.com.cn (收稿日期:2008-01-30)

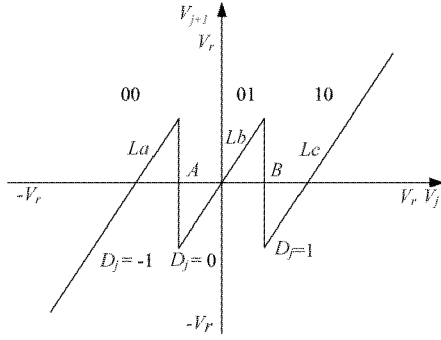


图2 1.5bit 级电路的传输特性

线性误差主要来自于运放的有限增益和受工艺影响的电容不匹配,它们造成了 MDAC 余量放大器中的增益误差,使输入输出曲线的斜率和截距发生偏移。其他线性误差,如比较器的失调使阶跃点 A、B 在水平方向上移动,可通过加入冗余位来避免。开关的时钟馈通和电荷注入、运放输入失调使得传输曲线在垂直方向整体移动,但不影响 ADC 整体的线性度。

非线性误差主要包括由级间放大器非线性、电容容值电压系数、MOS 开关的非线性电阻等造成的误差,它们会使图 2 中的直线段 La、Lb、Lc 变为曲线段,并使得不同区域的阶跃高度各不相同。一般情况下,这些非线性因素对 ADC 的线性影响较小,可以不加考虑,在需要校准的场合,可逐码进行校准^[8]。

2 校准原理

对于每级 1.5bit 级电路,级电路如图 3 所示,在考虑了电容失配,运放有限增益 A_0 , 运放输入电容 C_P , 运放输入失调电压、模拟开关时钟馈通和电荷注入带来的 V_j^{ss} 的影响之后,输入输出函数为:

$$V_{j+1} = \hat{G}_j \times [V_j - \hat{V}_j^{da}(D_j) - V_j^{ss}] \quad (1)$$

其中

$$\hat{G}_j = \frac{C_s + C_f}{C_f} \times \frac{1}{1 + \frac{1}{A_0} \frac{C_s + C_f + C_P}{C_f}} \quad (2)$$

$$\hat{V}_j^{da}(D_j) = V_r \cdot \frac{C_s}{C_s + C_f} \times D_j \quad (3)$$

与理想的 $G_j = 2$, $V_j^{da}(D_j) = \frac{1}{2} V_r \cdot D_j$ 存在偏差,且随着温度、电源电压等外界环境而变化,只有随时进行数字后台校准才能有效保证转换精度。

对于第 j 级流水线子电路,传输函数的阶跃高度为 $H_j(D_c) = \hat{G}_j \times \hat{V}_j^{da}(D_c)$, 其校准原理为:用理

想的第 $j+1$ 级到第 N 级来分别测量两个阶跃高度 $H_j(+1)$, $H_j(-1)$ 并储存起来,在转换时将其作为 $D_j = +1, -1$ 代表的真实数字结果。然后,将第 j 级到第 N 级作为理想的 ADC,用同样的方法校准第 $j-1$ 级,得到 $D_{j-1} = +1, -1$ 代表的真实数字值。依此类推,从后级向前级依次校准。设对前 k 级进行校准,每级的数字输出为 $D_j (j = 1, \dots, k)$, 理想低 $(N-k)$ -bit ADC 的输出为 D_{ideal} , 在考虑了上文所述的不理想因素时, $H_j(+1)$ 与 $H_j(-1)$ 大小相等,符号相反,将其绝对值记为 H_j , 则最终的数字输出为 $D_1 H_1 + D_2 H_2 + \dots + D_k H_k + D_{ideal}$ 。此时的数字输出已经是线性的了。

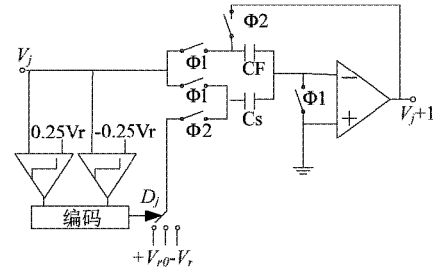
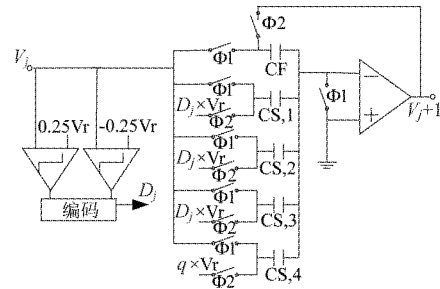


图3 1.5bit 级电路结构

为了测得 $H_j(D_c)$, 可将采样电容 C_s 等分, 本文将其等分成 4 份, 如式

$$C_s = C_{s,1} + C_{s,2} + C_{s,3} + C_{s,4} \quad (4)$$

所示。被校准的级电路如图 4 所示。

图4 被校准的级电路^[7]

与图 3 不同的是,当时钟相 $\Phi_2 = 1$ 时, $C_{s,i}$ 连接到 $q \cdot V_r$, ($i = 1, 2, 3, 4$), 其他采样电容仍然连至 $D_j \cdot V_r$, q 是二进制伪随机序列,与输入无关。则第 j 级的输出为

$$V_{j+1} = \hat{G}_j \times [V_j - \hat{V}_j^{da}(D_j) - V_j^{ss}] + H_{ji} \cdot (D_j - q) \quad (5)$$

其中

$$H_{ji} = H_j(D_j) \times \frac{C_{s,i}}{C_s} \cdot D_j = \hat{G}_j \times V_r \cdot \frac{C_{s,i}}{C_s + C_f} \quad (6)$$

则:

$$H_j(D_j) = D_j \cdot \sum H_{j,i} \quad (7)$$

校准时,用第 $j+1$ 级至第 N 级将 V_{j+1} 量化为 D_z , 而 V_{j+1} 和 D_z 满足线性关系。在数字域将 M 次 $D_z \times q'$ 的结果累加,其中 $q' = q$, 一个周期内的 $+1$ 、 -1 的个数各占一半, M 为随机序列的周期。将累加结果平均后,无关量被去除,得到 $H_{j,i}$, 即:

$$-E[q' \cdot q] \times H_{j,i} = -H_{j,i} \quad (8)$$

M 越大,校准后的精度越高,所需的校准时间越长。在一个校准周期内,从后级向前级依次逐级校准,当校准第 j 级时, q 依次连至等分后的 4 个采样电容,分别得到 $H_{j,1}, H_{j,2}, H_{j,3}, H_{j,4}$, 由式(7),将其相加可得 $H_j(D_j)$ 。第一级校准完成后,一个校准周期结束,进入下一个周期。

此方法可以校准电容失配和运放有限增益误差,对模拟电路的改动较小,不降低工作速度,每级可用的输入电压范围由于随机扰动的加入会稍受限制。若采样电容的等分数量大,则需要较长的校准时间,若等分数量小,则可利用的输入电压范围会更小,本文中的四等分是较为折中的考虑。

对于多 bit 级电路,可用相同的方法测量阶跃高度,完成校准过程。

本文中的流水线 ADC 由 14 级 1.5-bit 流水线子电路和 1 级 1bit 的 flash ADC 组成,为了使校准得到的 H_j 具有较小的量化误差,在 14 级子级电路之后、最后 1 级 flash ADC 之前加入了 3 级流水线级电路作为冗余级,对前 6 级进行校准。

3 校准算法的电路实现

如图 5 所示设计输入端口: clk——时钟; rst——异步清零端; mj——在每个时钟周期的上升沿,接收到的 A/D 转换结果在经过延迟对准寄存器阵列之后,对应的 35 位数字输出结果(前 17 级每级两位,最后 1 级 flash 一位)。

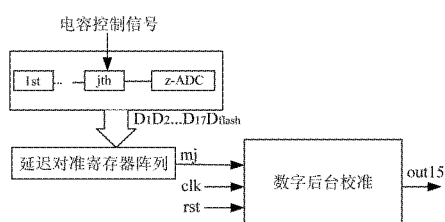


图 5 总体结构图

输出端口为 out15,校准后的 15 位数字输出。

在校准开始前, rst 置 1, 对各信号赋初值; rst 置 0 后的第一个时钟上升沿, 开始对输入 mj 进行校准、输出。在模拟电路的相应位置加入扰动与数字后台校准过程同时进行。在每个时钟周期, ADC 对一个模拟输入进行采样、转换, 校准模块在二进制补码条件下, 对 A/D 转换所得数字输出进行处理。

3.1 状态控制逻辑

完成对时钟的计数, 产生对当前状态的标识信号, 实现对各个功能模块的控制。

由于每一个时钟周期完成对一个模拟输入量的转换, 用 u 表示在当前校准周期内, 正在对第 u 个 A/D 转换结果进行处理。当开始处理第一个数据时, u 记为 1。 u 依次递增直到 $24 \times M$, 一个校准周期结束。 u 恢复为 1, 进入下一个校准周期。

ch_0, ch_1, ch_fl 为 '1' 时分别表示 u 为 M 的倍数、 M 的倍数加 1、 M 的倍数减 1。

用 j 表示当前在校准第 j 级 ($j = 6 \sim 1$), i 表示在当前校准级的第 i 个电容的级板加入了扰动电压 ($i = 1 \sim 4$), 当 u 为 M 的倍数时 ($ch_0 = 1$), 表示已具备求得 $H_{j,i}$ 的累加和, 此时 i, j 进行相应变化, 由于用 D 触发器等模块实现累加, 当前时钟周期的累加结果会在下一个时钟周期得到, 即 $ch_1 = 1$ 时可得 $H_{j,i}$, 而这时 i, j 刚好被更新, 因此要在 $ch_0 = 1$ 时, 用 i, j 存取当时的 i, j 值。图 6 为状态控制逻辑模块的结构图。

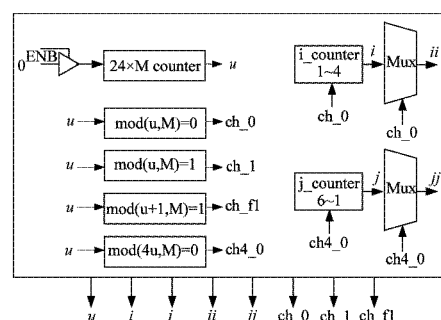


图 6 状态控制逻辑模块的结构图

3.2 随机序列的产生

用移位反馈寄存器实现, 得到周期为 $M-1$ (本文取 21 级, $M-1 = 2^{21} - 1$) 的 m 序列, 并通过控制, 在序列结尾增添一个 -1 , 以使序列周期 M 为 2 的幂, 即 $M = 2^{21}$ 。一个序列周期内的 $+1$ 、 -1 个数相等, 因此平均值为零。图 7 为随机数发生器的结构。

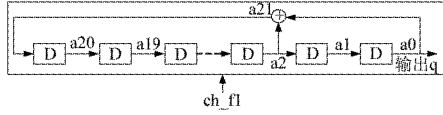


图7 随机数发生器的结构图

3.3 校准信息的产生

结构参见图8。初始校准时, H_j 、 $H_{j,i}$ 的值为理想情况下的大小,即

$$H_j = 2^{18-1-j}, \quad H_{j,i} = 2^{18-1-2-j}, \quad 1 \leq j \leq 6 \quad (9)$$

在数字校正模块中,对 m_j 所表示的第7级至第18级的转换结果进行错位相加,得到后12级转换结果对应的和 $D_{z,7 \sim 18}$ 。在 ALU_Dz 中,根据当前 H_j 的值和 m_j ,与数字校正的结果合在一起,得到 D_z ,即

$$D_z = D_{z,7 \sim 18} + (D_{j+1} \cdot H_{j+1} + \dots + D_6 \cdot H_6) \quad (10)$$

D_z 与当前的随机数 q' 相乘,由 $Adder1$ 、 Mux 、寄存器 DFF 共同完成计算 H_j 、 $H_{j,i}$ 所需的累加,累加器的位长为40bit。在 $ch_1 = 1$ 的时刻,将 M 次的累加和在 $shift1$ 进行移位平均得到 $H_{j,i}$,并存入由 ii 、 jj 指示的 $Mem1$ 的相应位置中。 H_j 的获取方式有两种,一种是通过 $H_{j,i}$ 的相加得到,即:

$$\begin{aligned} H_j &= H_{j,1} + H_{j,2} + H_{j,3} + H_{j,4} \\ &= \lfloor sum_1/2^{21} \rfloor + \lfloor sum_2/2^{21} \rfloor \\ &\quad + \lfloor sum_3/2^{21} \rfloor + \lfloor sum_4/2^{21} \rfloor \end{aligned} \quad (11)$$

另一种是不通过 $H_{j,i}$,直接将计算 H_j 所需的 $4 \times M$ 次的累加和平均得到 H_j ,即

$$H_j = \lfloor (sum_1 + sum_2 + sum_3 + sum_4)/2^{21} \rfloor \quad (12)$$

后一种方法在用移位取整实现除法的过程中引入的误差较小,因此采用该方法获得 H_j ,并存入由 jj 指示的 $Mem2$ 的相应位置中。

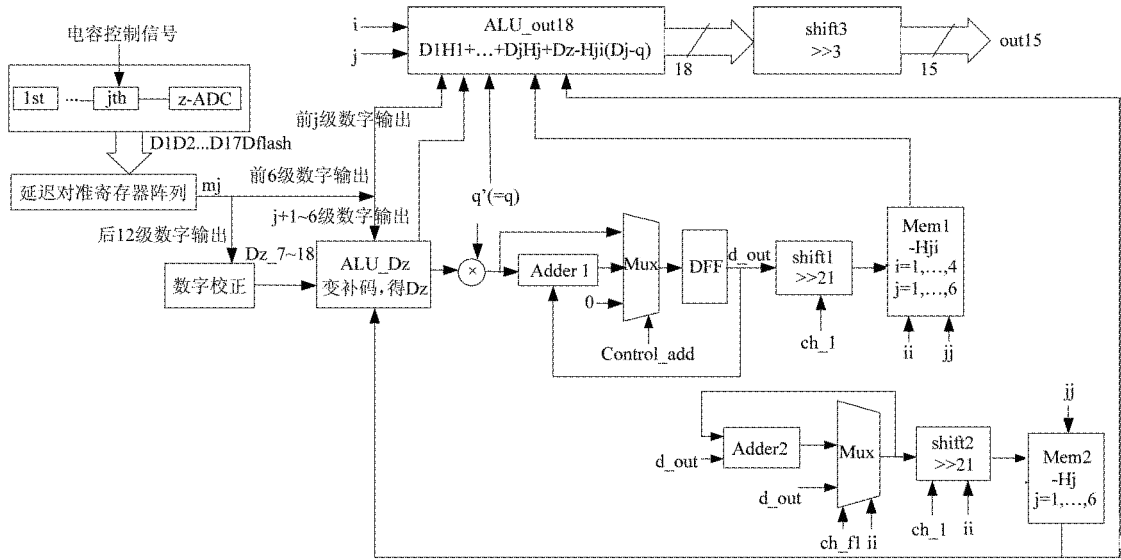


图8 产生校准信息和最终输出的结构图

3.4 输出

如图8所示, ALU_out18 完成校准结果的计算, $shift3$ 将18位的结果向右移位转换为15位数字输出。 ALU_out18 将第1级到第 j 级,第 $j+1$ 级到第18级对应的和减去在当前校准级所加入的扰动,即得校准后的结果:

$$D_1 \cdot H_1 + \dots + D_j \cdot H_j + D_z - H_{j,i} \cdot (D_j - q) \quad (13)$$

$shift3$ 将其向右移3位后得到15位的输出结果。

3.5 仿真

由于此校准算法不能去除运放非线性的影响,因此对运放增益尤其是非校准级的运放增益的要求

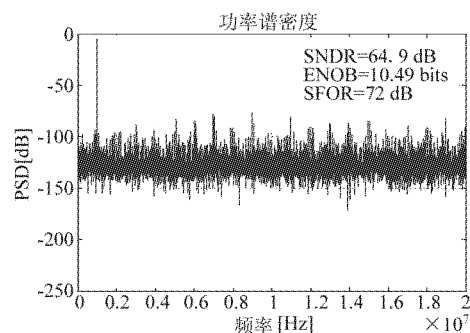
仍然较高,本文取运放有限增益 $A = 80dB$ 。仿真中考虑了电容失配(随机产生,标准差为0.1%),比较器失调($\pm 4\%$),运放输入寄生电容 C_p (设 $C_p/C_s = 0.4$),运放输入失调电压、模拟开关的时钟馈通和电荷注入—— V_j^s (均值为0,标准差1%)。模拟输入电压为幅度0.7、频率1MHz的正弦波。根据式(1),用Matlab对误差进行建模,若所有被校准级的 M 值取为相同,则需要 $6 \times 4M$ 次采样完成一个校准周期。其中,40位的累加过程是制约工作速度的关键路径。可通过采用超前进位加法器减小延时,提高速度。在 $UMC0.18\mu m$ 工艺下,采用传统的加法器,校准电路的版图总面积为 $630\mu m \times 630\mu m$,共使用了4192个单元。采样速度可达40MHz以上。

用 modelsim 进行的后仿真时序结果如图 9 所示,从图中可以看到在对应时钟下的输入、输出结果。

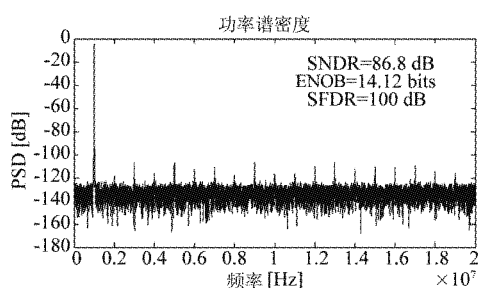


图 9 后仿真得到的时序波形图

Matlab 仿真得到校准前的输出信噪比为 64.9dB,有效位数 10.49bit, SFDR 为 72dB,如图 10(a);校准后,用 modelsim 对 RTL 级实现的结果进行后仿真,得到电路实现后的校准输出信噪比为 86.8dB,有效位数 14.12bit, SFDR 为 100dB,与 matlab 进行的系统级仿真实现校准算法的结果完全相同,如图 10(b)。可见,校准后显著提高了精度和线性度,且硬件实现后没有造成任何精度损失。



(a) 校准前的功率谱密度



(b) 校准后的功率谱密度(系统级/RTL级)

图 10 校准前后的功率谱密度

4 结 论

本文研究了一种适用于开关电容级电路流水线 ADC 的数字后台校准算法,并提出了硬件实现方法。由状态机控制随机序列的产生、校准信息的提取和当前采样值对应数字输出的计算,多种运算在校准过程中能并行执行,显著提高了处理速度。从电路实现后的仿真结果来看,用文中的硬件实现方法设计的校准处理系统能够有效提高精度和线性度。

参考文献

- [1] Wang X Y, Hurst P J, Lewis S H. A 12-bit 20-Msample/s pipelined analog-to-digital converter with nested digital background calibration. *IEEE Journal of Solid-state Circuits*, 2004, 39(11): 1799-1808
- [2] Chiu Y, Tsang C W, Nikolic B, et al. Least mean square adaptive digital background calibration of pipelined analog-to-digital converters. *IEEE Transactions on Circuits and Systems-I: Regular Papers*, 2004, 51(1): 38-46
- [3] Larsson A, Sonkusale S. A background calibration scheme for pipelined ADCs including non-linear operational amplifier gain and reference error correction. In: *Proceedings of IEEE International SOC Conference*, Phoenix, Arizona, USA, 2004. 37-40
- [4] El-Sankary K, Sawan M. A background calibration technique for multibit/stage pipelined and time-interleaved ADCs. *IEEE Transactions on Circuits and Systems—II: Express briefs*, 2006, 53(6): 448-452
- [5] Siragusa E, Galton I. A digitally enhanced 1.8 V 15 b 50 MS/s CMOS pipelined ADC. *IEEE Journal of Solid-state Circuits*, 2004, 39(12): 2126-2138
- [6] Murmann B, Boser B E. A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification. *IEEE Journal of Solid-State Circuits*, 2003, 38(12): 2040-2050
- [7] Liu H C, Lee Z M, Wu J T. A 15-b 40-MS/s CMOS pipelined analog-to-digital converter with digital background calibration. *IEEE Journal of Solid-State Circuits*, 2005, 40(5): 1047-1056
- [8] Mayes M K, Chin S W. A 200mW, 1Msample/s, 16-b pipelined A/D converter with on-chip 32-b microcontroller. *IEEE Journal of Solid-State Circuit*, 1996, 31(12): 1862-1872.

The hardware realization of a digital background calibration technique for pipelined A/D converters

Guo Jingyi, Li Dongmei, Liu Liyuan, Li Fule

(Department of Electronic Engineering, Tsinghua university, Beijing 100084)

(* Institute of Microelectronic, Tsinghua university, Beijing 100084)

Abstract

This paper researches a digital background calibration technique for switched-capacitor CMOS pipelined analog-to-digital converters (ADC) and describes its hardware implementation. It is applicable in both 1.5-bit and multi-bit pipeline stages. It can monitor the crucial substage's transfer characteristics and extracts the calibration information from the digital domain without interrupting the normal conversion process. The hardware realization is implemented by the finite state machine so the effective work between different modules can be implemented. It is proved by simulation that the hardware implementation can calibrate the capacitor mismatches and finite OPAMP's gain error.

Key words: pipelined A/D converter, digital calibration, background