

龙芯 2 号原型系统北桥的设计与实现^①

蔡 飞^{②*} 沈海华* 高 翔*

(* 中国科学院计算技术研究所微处理器技术研究中心 北京 100190)

(** 中国科学院研究生院 北京 100049)

摘 要 针对龙芯 2 号原型系统中主要 I/O 数据通路上数据流的特点,设计并实现了一款适用于龙芯 2 号原型系统的北桥。在此北桥的设计中提出并实现了一种用于外部设备互连(PCI)主桥(PCI host bridge, PHB)的数据传输优化方法,这种方法通过自适应的写合并、PCI 写数据及时收集重打包和采用固定开销的分阶段 PCI 读数据预取策略,提高了 PCI 主桥中数据传输的效率。实验结果表明,所设计的北桥可以充分的利用 PCI 总线带宽,并且在处理 PCI 总线上的直接内存访问(DMA)读数据流和处理器更新显卡显存的 PCI 写数据流时相对同类系统而言具有明显的性能优势。

关键词 北桥, 龙芯, 芯片组, 外部设备互连(PCI), PCI 主桥(PHB)

0 引 言

作为处理器与 I/O 设备、I/O 设备与系统内存之间的连接设备,北桥(north-bridge)的性能对系统的整体性能起着至关重要的作用。龙芯 2 号原型系统北桥的主要功能是作为外部设备互连(PCI)主桥,在处理器和 PCI 设备之间充当数据交换的桥梁,其要解决的关键问题是如何在龙芯 2 号处理器的系统总线和 PCI 总线间高效地进行数据传送。

PCI 主桥的性能由 PCI 主桥处理处理器更新显卡显存的写数据流和处理 PCI 设备访问内存的直接内存访问(DMA)数据流的效率决定。当前,在 PCI 主桥中用于控制 PCI 数据传送的方法主要来自系统桥片供应商和知识产权(intellectual property, IP)提供者。它们大都以专利、IP、芯片的形式存在。控制 PCI 设备 DMA 写数据流的方法主要有两种,一种是使用先入先出(FIFO)在对 PCI 写数据流进行缓冲和时钟域转换的同时通过在 FIFO 的控制逻辑中增加和 FIFO 内数据容量相关的计数器来控制 FIFO 中数据被读取的时机^[1,2];另一种是使用两个写数据缓冲交替缓存 PCI 写数据,当一个缓存被写满后就将这个缓存中的数据提交给桥的另一端接口,在提交被写满的缓存中数据的同时用另一个缓存继续缓冲

PCI 写数据^[3-5]。在处理 PCI 设备访问内存的 DMA 读数据流时,现有方法大都使用了预取的策略^[1-6]。在处理更新显卡显存的写数据流时,现有方法^[6]以固定长度的写合并来提高 PCI 总线上数据传送的效率。这些已有的控制 DMA 数据流的方法对龙芯 2 号原型系统而言都存在一定的不足。有的方法^[1,2]在处理写传送时都通过在 FIFO 的控制逻辑中增加写入数据数量的计数器来判断何时在目标方发起传送,写传送由发起方到目标方都存在较大的延迟,并且需要较大的写 FIFO 容量才能流水地处理写传送。有的处理写传送的方法^[3-5]对于没有字节掩码的系统总线而言,需要花费额外的开销进行格式转换。有的处理 DMA 读的方法^[2,3]使 PCI 桥支持的 DMA 读的最大长度受限于读 FIFO 的容量。有的处理 DMA 读的方法^[1,2,5]存在预取过量的问题。有的处理 DMA 读的方法^[4]需要较大的存储容量才能隐藏内部接口读数据的延迟并保持对设备的连续供数。有的处理 DMA 读的方法^[3]需要系统总线提供对 Cache 操作的特殊支持。本文提出了一系列针对 PCI 数据传输的优化策略。对 DMA 写数据流,提出了一种及时收集重打包的策略,目的是简化 FIFO 控制逻辑,减少对 FIFO 容量的需求,减少写数据到达目标方的延迟及隐藏不同总线间协议转换的延迟。对 DMA 读数据流,提出了一种具有固定开销的读数

① 973 计划(2005CB321600),国家自然科学基金(60603049),863 计划(2007AA01Z112)和北京市自然科学基金(4072024)资助项目。

② 男,1979 年生,博士生;研究方向:机群计算,微处理器系统结构,系统结构;联系人,E-mail: caifei@ict.ac.cn
(收稿日期:2009-01-16)

据分阶段预取策略,目的是以有限的存储资源和预取开销支持任意长度的 PCI 读传送并减小读数据返回延迟。本文还提出了一种相对文献[6]而言更灵活、占用资源更少的自适应写合并策略,以提高处理更新显卡显存的写数据流的效率。

1 龙芯 2 号原型系统结构及其特点

龙芯 2 号系列处理器^[7]是由中国科学院计算技术研究所研制的 64 位通用精简指令集计算机(RISC)处理器系列。对龙芯 2 号系列处理器的性能分析^[8]表明,限制龙芯 2 号处理器性能的主要瓶颈是原有的配套北桥提供的访存带宽不够,要实现龙芯 2 号的高性能研制目标就必须大幅度地提高访存带宽。然而,单独依靠处理器主频的提高和使用更大 Cache 这样的手段已经不能满足大幅度提高访存带宽的要求,为此,龙芯 2 号处理器(E 版)^[9]在内部集成了 64 位的 DDR 内存控制器并且在系统总线接口上使用了自定义的请求和数据分离协议。由于处理器采用了自定义的系统总线,需要为龙芯 2 号原型系统设计专用的高性能北桥。

龙芯 2 号原型系统组成如图 1 所示。

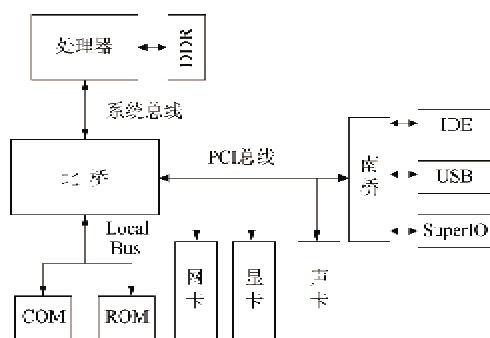


图 1 龙芯 2 号原型系统的组成

作为整个龙芯 2 号原型系统 IO 的核心,北桥的主要功能是作为 PCI 主桥,在处理器和 PCI 设备之间充当数据交换的桥梁。北桥处理系统总线和 PCI 总线间数据流的效率直接决定了龙芯 2 号原型系统的 IO 性能。

2 龙芯 2 号原型系统北桥

2.1 北桥的总体架构

龙芯 2 号原型系统北桥包含的模块可分为两类:外围 I/O 接口模块;内部功能和控制模块。龙芯

2 号原型系统北桥有 3 个外围 I/O 接口:系统总线接口模块;PCI 总线接口模块;Local Bus 接口模块。北桥的内部功能和控制模块有控制寄存器模块、中断控制模块、地址译码模块、PCI 总线仲裁模块。根据所访问的外围接口模块连接的外部总线的不同,北桥内部模块之间的连接使用了两种片上互连协议:自定义的请求和数据分离的协议;Wishbone^[10]协议。

在北桥内部,我们将一个模块中用于向其它模块发起请求的接口称为主接口,而将用于接收来自其它模块请求的接口称为从接口。系统总线接口模块包含一个主接口和一个从接口,PCI 接口模块有一个主接口和一个从接口,Local Bus 接口模块仅有一个从接口,控制寄存器模块仅有一个从接口。剩下的中断控制、地址译码、PCI 总线仲裁模块则没有可供直接访问的内部接口。北桥内部模块间的互连关系如图 2 所示,下一节我们将详细阐述模块间的互连。

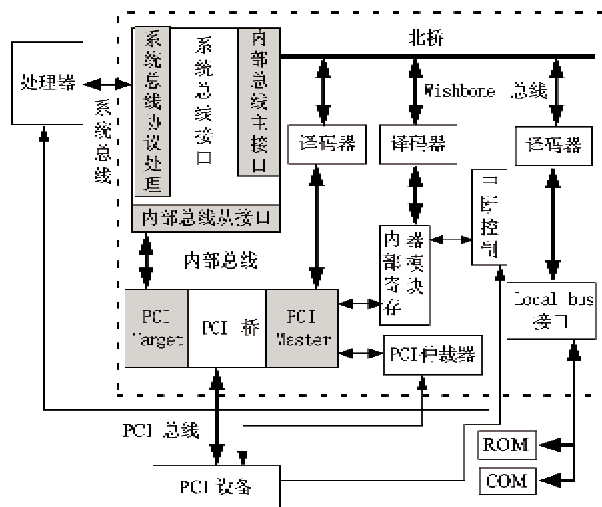


图 2 北桥内部模块及互连

2.2 模块间的互连

北桥的外围接口模块和北桥内部其它模块之间采用何种协议互连对北桥外围接口的性能和效率具有决定性的影响。在北桥的外围接口中,PCI 总线、Local Bus 总线采用的是数据跟随请求的总线协议,系统总线采用的是数据和请求分离的协议。要充分发挥北桥外围接口的性能,通过片上互连访问外围接口的模块与被访问的外围接口模块之间采用的片上互连协议必须与外围接口总线协议相匹配。因此,北桥内部模块在访问作为从模块的 PCI Master、Local Bus 接口时采用了 Wishbone 协议;而 PCI 接口

的 PCI Target 子模块在访问系统总线接口主模块时采用了一种根据系统总线协议而自定义的数据和请求分离的互连协议。

根据龙芯 2 号处理器(E 版)系统总线协议的特点,我们自定义了一种用于北桥内部模块间互连的数据和请求分离的协议。在这个协议中,所有的交易被分为数据请求和数据响应。其中,数据请求被分为读请求和写请求。读请求仅含 1 个地址周期,写请求含 1 个地址周期以及紧随其后的 1 个或者 4 个数据周期。数据响应根据其对应的请求类型有 1 个或者 4 个数据周期。在自定义协议中,请求的提交需要发起方和接收方进行握手方能完成。发起方在提交读请求时,接收方在接受请求的同时给发起方返回一个 ID 标识。当接收方返回数据时,每个数据都附上其对应的请求的 ID 标识。发起方通过侦听接收方数据响应总线上有效数据的 ID 标识来接收属于自己的数据。自定义的协议使用了独立的请求端口、写数据端口、数据响应总线,在满足龙芯 2 号原型系统应用需求的同时,精简了设计。

2.3 系统总线接口模块

系统总线接口模块内部按照功能可以分为 4 部分:系统总线从模块、系统总线主模块、总线仲裁器、总线协议维护模块(图 3)。

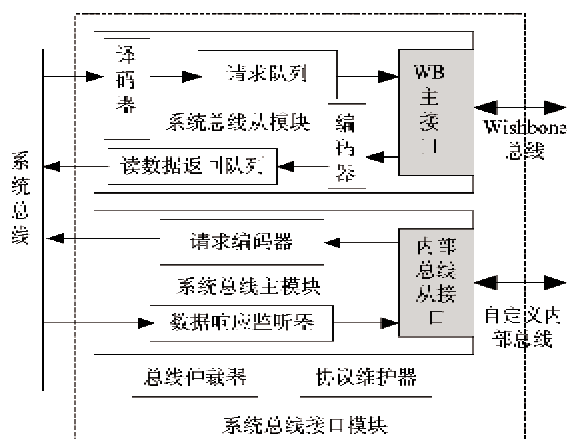


图 3 系统总线接口模块

系统总线从模块负责将系统总线上处理器对北桥的请求转换为对北桥内部模块的读写请求。来自系统总线上处理器的请求经译码后首先被送入一个可以存储 8 项处理器请求的队列进行数据缓冲。Wishbone 总线主接口将请求队列中的请求取出后发送到北桥内部的 Wishbone 总线上。如果是读请求, Wishbone 总线主接口将返回的读数据送入读数据返

回队列等待系统总线从模块获得系统总线使用权后在系统总线上进行数据响应操作。

系统总线主模块负责将来自北桥内部模块的请求转换为系统总线上的请求并将侦听到的系统总线上的数据响应发送给北桥内部模块。该模块与北桥的内部模块之间使用了自定义的数据和请求分离的互连协议。当北桥内部模块的请求到来时,该模块在获得系统总线的使用权后,将来自北桥内部的请求发送到系统总线上。在发送请求到系统总线上的同时,该模块将请求占用的系统总线号发送给提交请求的内部模块。当系统总线上出现有效的读数据响应时,该模块将数据响应送往北桥内部所有可能向该模块发起访问的模块。

总线仲裁器负责为北桥的系统总线接口和系统总线上挂载的处理器提供对系统总线使用权的仲裁。仲裁器采用了两级仲裁的方案。第一级仲裁在北桥的系统总线接口模块和处理器之间进行,采用的是无优先级的轮转仲裁策略。第二级仲裁在系统总线主模块和系统总线从模块间进行,采用系统总线从模块享有绝对优先权的固定优先级仲裁策略。总线协议维护模块负责总线上请求号的状态的维护。

2.4 PCI 桥模块

PCI 桥模块大致可以分为 3 个部分:PCI 配置寄存器子模块、PCI Master 子模块、PCI Target 子模块,如图 4 所示。

PCI Master 子模块在北桥内部扮演从模块的角色,同时还在 PCI 总线上扮演主设备的角色。它和系统总线接口从模块之间使用 Wishbone 协议互连。这个模块负责将来自系统总线接口从模块的读/写请求经地址译码后转换为相应的对 PCI 总线上设备的读/写操作或者对 PCI 配置寄存器子模块中配置寄存器的读/写操作。PCI Master 子模块处理的数据流分为两类:来自处理器的读/写控制流和来自处理器的更新显卡显存的写数据流。

控制流的请求为单个数据周期的读/写操作。这些控制流的操作经过译码后,根据命中的地址窗口的不同分别被转换为对 PCI 配置寄存器子模块中配置寄存器的读/写操作、对 PCI 总线上设备的配置读/写操作、对 PCI 总线上设备的 I/O 读/写操作以及对 PCI 总线上设备的 MEM 读/写操作。

PCI Master 在处理处理器更新显卡显存的数据流时使用了一种新型的自适应的写合并策略。这种策略利用处理器提供数据和 PCI 总线传送数据之间

的速度差,将处理器提交的较短的写传送根据 PCI 总线上数据传输的压力自适应地合并为 PCI 总线上

具有较长数据周期的 PCI 写传送,以提高 PCI 总线在数据传送比较繁忙时的总线效率。

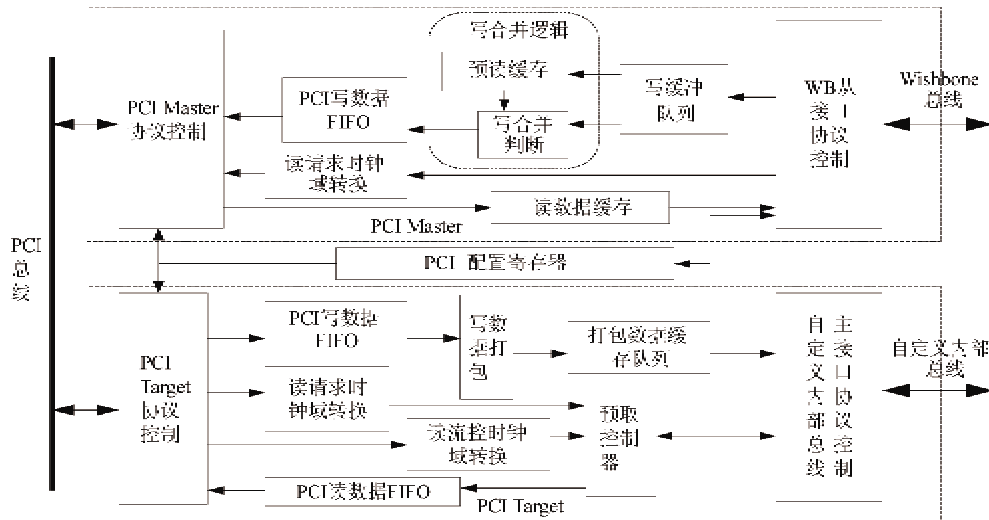


图 4 PCI 桥结构

这种自适应的写合并策略通过将 PCI Master 通道中写数据的传输通道分为 3 部分:写缓冲队列、写合并逻辑和 PCI 写数据 FIFO。写数据流首先由 PCI Master 的内部总线接口经地址窗口检查判断是否为可以合并的写请求后,将写合并标识、写数据、写数据的地址送入写缓冲队列;写合并逻辑在首次从写缓冲队列看到可以合并的写数据时,从写缓冲队列里读取一项写数据到预读缓存,随后将预读缓存中写数据对应的 PCI 写请求和预读缓存中的写数据写入 PCI 写数据 FIFO。写合并逻辑在将预读缓存中数据写入 PCI 写数据 FIFO 的同时检查写缓冲队列里是否有和预读缓存中当前数据项地址连续的后续数据。如果有地址连续的后续数据,则写合并逻辑在将预读缓存中数据写入 PCI 写数据 FIFO 的同时,将写缓冲队列中的下一项数据加载到预读缓存。如果写缓冲队列里没有地址连续的后续数据,则写合并逻辑在将预读缓存中数据写入 PCI 写数据 FIFO 的同时将当前写入 PCI 写数据 FIFO 的数据项标识为一次 PCI 总线上写传送的最后一项数据。

PCI Target 子模块在北桥内部扮演主模块角色的同时还在 PCI 总线上扮演从模块的角色。它与系统总线接口主模块间使用了自定义的请求和数据分离的协议。这个模块使用了一种高效的 DMA 数据处理策略来处理 PCI 设备对内存进行 DMA 访问的数据流。PCI 设备的 DMA 数据流被 PCI Target 分为读、写两种不同的数据流来处理。

PCI Target 处理 DMA 写数据流时使用了新型的及时收集写数据并重打包的策略。PCI Target 首先利用异步 FIFO 对写数据进行时钟域的转换,随后在此异步 FIFO 的读端口随时将读到的写数据按照自定义内部总线协议的格式进行重新打包。打包后的数据被存放在打包数据缓存队列中等待内部总线接口通过系统总线接口主模块将其发送给处理器。在给写数据打包时,写数据打包逻辑尽可能地将数据打包为系统总线上最长的写操作。由于 DMA 写数据在进入异步 FIFO、重新打包、发送打包后的数据这 3 个阶段可以并行地进行,PCI Target 可以以流水方式处理来自 PCI 设备的 DMA 写数据流。

PCI Target 在处理 DMA 读数据流时使用了一种新颖的固定开销的分阶段读数据预取策略,克服了文献[2,3]中单次读传送的最大数据传送长度受限于通道中用于存储读数据的 FIFO 长度的缺点和文献[1,2,5]中预取过量的问题。PCI Target 的分阶段预取策略包含两个数据预取阶段,即初始数据预充阶段和持续预取阶段。假设 PCI Target 在内部总线上从提交读请求到此读请求的第一项数据返回的时间间隔内 PCI 总线上能够传送的数据长度为 v_0 。PCI Target 在收到一个新的 PCI 读请求时,首先进入初始数据预充阶段。在初始数据预充阶段,PCI Target 在内部总线上提交数据长度为 2 倍 v_0 的数据请求后进入下一阶段。在持续预取阶段,PCI Target 每在 PCI 总线上返回长度为 v_0 的数据就在内部总线

上增加预取长度为 v_0 的数据直到发起请求的 PCI 设备完成读传送。在这两个数据预取阶段中,当 PCI Target 通过对读数据进行缓存和时钟域转换的 PCI 读数据 FIFO 看到读数据时即可在 PCI 总线上开始读数据的返回。这种控制 PCI Target 通道读数据流的方法在尽可能保证对设备持续供数速度的前提下只需要可以存储 2 倍 v_0 长度数据的 FIFO 就可以让 PCI Target 支持任意长度的 PCI 读传送。

PCI 配置寄存器子模块是一个用来配置北桥 PCI 接口在 PCI 总线上行为的模块。它包含了 PCI2.2 规范所定义的所有配置空间寄存器。

3 北桥系统实现及性能分析

本文设计的龙芯 2 号原型系统北桥是用 Altera 公司的 Stratix II EP2S30 FPGA 实现的。综合后,龙芯 2 号原型系统北桥在 Altera Stratix II EP2S30 FPGA 上占用了约 7000 个逻辑单元,北桥频率为 125MHz。

3.1 性能分析

和评价处理器性能时使用诸如 SPEC CPU2000 之类的测试程序不同,评价北桥性能的主要指标是北桥在处理主要数据流时的延迟和带宽。作为一个 PCI 主桥,龙芯 2 号原型系统北桥(简称龙芯北桥)处理的主要数据流包含处理器通过北桥更新显卡显存的写数据流和 PCI 设备通过北桥访问处理器内存的 DMA 读/写数据流。为了方便分析龙芯北桥的性能,一方面我们在表 1 中将龙芯北桥作为 PCI 主桥的主要性能指标和文献[6]进行了比较;另一方面我们构建了一个龙芯 2 号全系统仿真平台。这个平台包含一个龙芯 2(E)处理器、龙芯北桥、虚拟的 PCI 设备。其中,处理器和北桥使用了真实的龙芯 2(E)和龙芯北桥的逻辑代码。仿真平台中,虚拟的 PCI 设备可以根据配置向北桥发起任意长度的 DMA 读/写请求,可以按照设定的延迟处理来自北桥的读/写请求。对应原型系统的实际情况,全系统仿真将 PCI 总线频率、系统总线频率、处理器频率分别设定为 33.3MHz、100MHz、1GHz。

为了进一步分析龙芯北桥的性能,我们在仿真环境和现场可编程门阵列(FPGA)上用文献[2]中的 PCI 桥替换龙芯 2 号原型系统北桥的 PCI 桥和龙芯北桥进行了主要数据流处理的对比测试。

从表 1 中可以看出,龙芯北桥 PCI Master 的最大写带宽、PCI Target 的 DMA 读带宽都明显优于 Intel 82454GX。龙芯北桥的 DMA 写带宽略低于 Intel

表 1 Intel 82454GX 与龙芯北桥 PCI 性能的比较

	Intel 82454GX	龙芯北桥
PCI Master 最大写带宽	125MB/S	131MB/S
PCI to memory read 64-byte	52MB/S	69MB/S
PCI to memory read 128-byte	75MB/S	91MB/S
PCI to memory read 8-Kbyte	130MB/S	133MB/S
PCI to memory write 64-byte	119MB/S	107MB/S
PCI to memory write 128-byte	125MB/S	118MB/S

82454GX。造成这一现象的原因是:龙芯北桥的 PCI 接口在接收 DMA 写传送时的初始延迟要高于 Intel 82454GX(龙芯北桥和 Intel 82454GX 接收 DMA 写的初始延迟分别为 4 个 PCI 时钟周期和 2 个 PCI 时钟周期)。

表 2 对比了龙芯北桥和文献[2]在处理器更新显卡显存时的带宽和延迟。龙芯北桥在更新显卡显存的过程中对 PCI 总线带宽的利用率达到了 99%,而文献[2]在此过程中对 PCI 总线带宽的利用率仅能达到 67%,龙芯北桥的性能明显优于文献[2]。在实际系统中进行播放 MPEG4 视频媒体的测试时发现,使用龙芯北桥的处理器占用率在 20%至 30%的水平,而使用文献[2]后,处理器占用率增长到 30%至 40%的水平。龙芯北桥在进行更新显卡显存操作的过程中具有明显的性能优势。

表 2 更新显卡显存的延迟和带宽

	写数据延迟 (ns)	最大写数据 带宽(MB/s)
龙芯北桥	120	131
OpenCore	130	88

PCI 总线上设备在进行 DMA 访问时能够获得的有效带宽为:总线带宽 $\times$ burst 长度/(初始延迟 + burst 长度)。这里的总线带宽是指总线频率 $\times$ 数据位宽;burst 长度是指设备在总线上一次访问包含的数据周期数;初始延迟指设备从申请总线到第一个数据周期前的总线周期数。龙芯 2 号原型系统中 PCI 设备 DMA 读、写的初始延迟分别为 15 和 4。

用文献[2]中的 PCI Target 替换龙芯北桥的 PCI Target 后,PCI 设备进行 DMA 访问获得的有效带宽在不考虑系统总线效率损失情况下的最大值为总线带宽 $\times$ burst 长度/(初始延迟 + burst 长度 $\times$ (1 + PCI 总线带宽/系统总线带宽))。在龙芯 2 号原型系统中 PCI 总线带宽为系统总线带宽的 0.2,PCI 设

备进行 DMA 访问获得的最大有效带宽为总线带宽 $\times$ burst 长度 / (初始延迟 + burst 长度 $\times$ 1.2)。当 burst 长度为无穷大的情况下,其极限最大值为总线带宽的 82% (110MB/s)。在对龙芯北桥和文献[2]进行 DMA 性能比较时,龙芯北桥使用的是实测性能数据,而文献[2]的性能数据则是在仿真环境下将系统总线带宽理想化(将系统总线带宽设定为理论最大值)后测得的值。

图 5 比较了龙芯北桥和文献[2]在处理 burst 长度分别为 64、128 时 DMA 读、DMA 写的延迟。其中,读延迟为 PCI 设备发出请求到第一个读数据返回的时间,写延迟为 PCI 设备开始发起写传送到写传送到系统总线的时间。

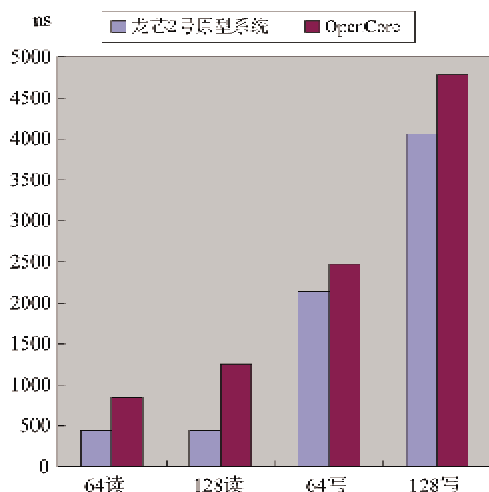


图 5 PCI 设备 DMA 访问的延迟比较

图 6 比较了龙芯北桥和文献[2]在处理 burst 长度分别为 64、128 时 DMA 读、DMA 写的带宽。

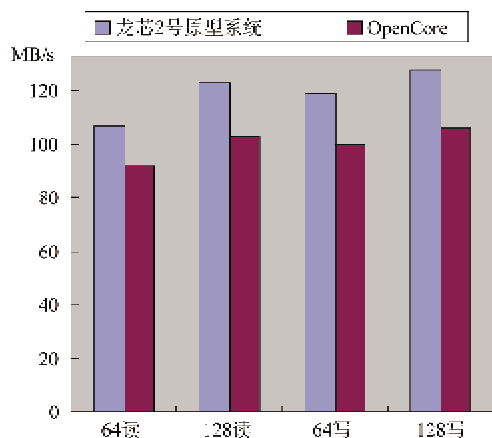


图 6 PCI 设备 DMA 访问带宽比较

在实际系统中, burst 长度不可能为无穷大, 并

且文献[2]中使用的 Wishbone 总线和龙芯 2 号的系统总线进行转换后系统总线的实际带宽也很难达到理论值。因此龙芯北桥的 PCI Target 在实际系统中的性能远高于文献[2]中的 PCI Target。以上的性能比较说明, 龙芯北桥处理系统中主要 I/O 数据流的效率和性能大部分好于文献[6]而远高于文献[2]。

3.2 龙芯 2 号原型系统的性能

龙芯 2 号原型系统在系统总线频率、PCI 总线频率、处理器频率分别为 100MHz、33.3MHz、1GHz 的情况下, 在 Linux2.6.18 内核下测得的硬盘 DMA 速度和 FTP 传送文件速度分别为 26MB/s 和 11.25MB/s。这两项指标均已达到或接近原型系统中使用的 Intel82371 南桥和 Intel82559 百兆网卡速度的上限。龙芯 2 号原型系统 SPEC CPU2000 的实测分值达到 500 分。其综合性能已经达到高端 Pentium3 及低端 Pentium 4 系统的水平。

4 结 论

本文设计和实现了龙芯 2 号原型系统的高性能北桥, 该款北桥通过在系统总线到 PCI 总线的通道上针对显存刷新进行自适应的写合并、在 PCI 总线到处理器系统总线的 DMA 通道上采用 PCI 写数据及时收集重打包和使用固定开销的分阶段 PCI 读数据预取策略对龙芯 2 号原型系统中主要的 I/O 数据流进行了高效的处理, 为进一步降低龙芯系统的成本, 增强市场竞争力打下了基础。目前, 该款北桥已经被应用在“福珑迷你电脑”和龙芯 2 号的开发板中。

进一步的工作主要分为两个方面: 降低系统成本、提高 I/O 性能。降低成本是要尽可能的减少整个系统芯片的数量, 将北桥的功能以及更多 I/O 设备的功能集成到处理器内部, 形成一个一片的解决方案。提高性能是指采用高速串行 I/O 接口替代目前的 PCI 等并行 I/O 总线接口, 提高系统的 I/O 数据吞吐率。

参考文献

- [1] McCoskey J J, Mackey R P, Davis B R. Low cost data streaming mechanism. US patent: 6460108, 2002
- [2] Dolenc M, Markovic T. PCI IP Core Specification. <http://www.opencores.org>; OpenCores, 2003
- [3] Wang K, Bryant C, Carlson M, et al. Designing the MPCIO5 PCI bridge/memory controller. *IEEE Micro*, 1995, 15(2): 44-49

- [4] Wang Z H, Ye Y Z, Wang J X, et al. Designing AHB/PCI bridge, In: Proceedings of the 4th International Conference on ASIC Proceedings, Shanghai, China, 2001. 578-580
- [5] 蔡飞, 胡明昌, 曾洪博等. 一种控制两种不同速度总线间数据传送的方法. 中国专利, ZL200510086446.1 2007-03-28
- [6] Bell M, Holman T. Pentium Pro processor workstation/server PCI Chipset, In: Proceedings of Compeon '96. 'Technologies for the Information Superhighway' Digest of Papers, Santa Clara, CA, USA, 1996. 388-394
- [7] Hu W W, Zhang F X, Li Z S. Microarchitecture of the Godson-2 processor. *Journal of Computer Science and Technology*, 2005, 20(2): 243-249
- [8] 胡伟武, 张福新, 李祖松. 龙芯 2 号处理器设计和性能分析. *计算机研究与发展*, 2006, 43(6): 959-966
- [9] 龙芯 2E 处理器用户手册. <http://www.lcmote.com/Files/Download/1164864817.pdf>; 中国科学院计算技术研究所 & 意法半导体公司, 2006
- [10] Peterson W D. WISHBONE System-on-Chip (SOC) Interconnection Architecture for Portable IP Cores, Revision B3. Corcoran; Silicore Corporation, 2001

The design and implementation of north-bridge used in Godson-2 prototype system

Cai Fei^{* **}, Shen Haihua^{*}, Gao Xiang^{*}

(^{*} Research Center of Microprocessor Technology, Institute of Computing Technology,
Chinese Academy of Sciences, Beijing 100190)

(^{**} Graduate University of the Chinese Academy of Sciences, Beijing 100049)

Abstract

In order to meet the I/O requirement of the Godson-2 prototype system, a north-bridge was designed and implemented according to the characteristics of the main I/O data flow in the system. This design introduced an optimized data streaming method, which was used for peripheral component interconnect (PCI) host bridge (PHB), to control PCI data stream between PCI bus and north-bridge. This method utilized self-suited write merging, in-time write data collecting and repackaging, two stage read data preloading with static resource consumption policies. The experiment results show that the implemented north-bridge performs well and fully utilizes PCI bus's bandwidth. Compared with other similar systems, this north-bridge performs better in processing direct memory access (DMA) read and renewing PCI graphic card's memory.

Key words: north-bridge, Godson, chip set, peripheral component interconnect (PCI), PCI host bridge (PHB)