

40Gbps 甚短距离并行光传输系统接收电路的设计与实现^①许 多^② 胡庆生^③ 苗 澎

(东南大学射频与光电集成电路研究所 南京 210096)

摘 要 给出了符合 OIF-VSR5 规范的 40Gbps 甚短距离光传输系统接收电路的设计与实现。该接收电路实现简单,由一片转换芯片及光接收模块构成。其特点是充分利用现场可编程门阵列(FPGA)内嵌的高速收发器成功实现了 $16 \times 2.488\text{Gbps}$ 和 $12 \times 3.318\text{Gbps}$ 信号的发送和接收,并且在一片 FPGA 上实现了诸如时钟数据恢复、串/并转换、帧同步、通道对齐、12-16 路映射等全部功能。基于二分查找法的帧同步电路则大大提高了转换芯片的工作速度。SignalTap II 逻辑分析仪的测试结果表明接收电路工作正常,性能良好。在此基础上,给出了 VSR5 实验系统的点到点测试方法,通过 12 通道垂直腔面发射激光器并行接收模块和 7m 12 芯多模带状光纤,将发送电路与接收电路相连,实现了 OC768/STM-256 40Gbps 的点到点测试,测试结果表明系统误码率小于 10^{-12} 。

关键词 VSR5, 转换芯片, 帧同步, 通道对齐, 12-16 路映射

0 引 言

甚短距离(very short reach, VSR)光传输系统主要用于电信局间密集波分复用和线速路由器等设备之间的高速光互联应用^[1]。它主要采用并行光互连技术,使用空分复用的方式在不降低系统总吞吐量的前提下,降低每根光纤的传输速率,从而达到通过采用低成本器件和简单结构提供一种廉价可靠的传输方式的目的。目前,该技术已经成为通信领域的热门技术,国际上也不断有相关产品推出。如,2000 年 CISCO 公司和 CIENA 公司联合发布了基于 VSR4 的 10Gbps 速率的产品^[2]。2002 年 4 月 ALVESTA 公司与 MYSTICOM 公司则宣布成功实现了符合 VSR4-03.0 的光互连^[3]。国内也对 VSR 技术及并行光收发模块进行了一定的研究,研制出了 10Gbps 速率的并行垂直腔面发射激光器(vertical cavity surface emitting laser, VCSEL)收发阵列^[4,6],并且推出了符合 VSR4 标准的并行光传输系统^[7,8],系统经过 10Gbps 同步数字系列(SDH)误码仪测试,满足设计要求。

近年来,国内外还进一步对速率为 40Gbps 的 VSR5 进行了研究,并取得了一定的进展,但这些研究主要集中在并行光收发模块方面,如 Opnext 公司

开发出了 40Gbps 的应用于 VSR 的光收发模块^[9],文献^[10]也给出了自行研制的 40Gbps 的光发射模块。然而,在 VSR5 系统方面的研究尚不多见。本文主要介绍了自行研制的 40Gbps 的 VSR5 实验系统,重点介绍了接收电路的设计、实现及整个系统的测试。该实验系统由发射和接收两块电路构成,每块电路上面各用一片现场可编程门阵列(FPGA)分别作为发射芯片和接收芯片,外加 $12 \times 3.318\text{Gbps}$ 的并行 VCSEL 作为光发射和接收模块。用 7m 长的 12 芯 $400\text{MHz} \cdot \text{km}$ $62.5\mu\text{m}$ 多模带状光纤将发射电路与接收电路相连,再加上 Agilent 误码测试仪,就实现了 40Gbps 速率的 VSR5 实验系统,所进行的 SDH STM-256/OC768 点到点的测试结果表明,系统能实现无误码传输。

1 VSR5 实验系统

光学网际互联论坛(optical internetworking forum, OIF)在其通过的 VSR5 接口规范中总共提出了三种解决方案^[11],即 12 路并行方案, $4 \times 10\text{Gb/s}$ 单模光纤粗波分复用(CWDM)方案和单模光纤串行方案,本文采用的是 12 路并行方案。图 1 所示为 OIF 提出的 VSR5 的 12 路并行技术方案,系统由转换芯片、

① 863 计划(2006AA01Z239)资助项目。

② 男,1985 年生,硕士生;研究方向:高速数字集成电路;E-mail: xuduo6845@sina.com

③ 通讯作者, E-mail: qshu@seu.edu.cn
(收稿日期:2009-02-19)

12 路 850nm 并行光发射模块和接收模块以及 12 芯 400MHz·km 62.5 μ m 多模带状光纤构成。该技术方案中存在两种接口,一个是转换芯片与系统侧的 SFI-5 接口,它实际上是针对 40Gbps 速率的串行器/并化器(SERDES)成帧器规范,由 16 路 2.488Gbps 的数据信道和一路同样速率的去斜移信道(deskew 道, DSC)构成;另一个是光接口 VSR-5,速率为 12 $\times$ 3.318Gbps。由于通过多个信道并行传输数据后, OIF SERDES 成帧器第 5 级接口(SFI-5)的 16 路信号之间可能产生不同的相位偏移,因此,在发送方向,转换芯片不仅要能够完成时钟数据恢复和串并转换等功能,还应能够在 DSC 信号的配合下,消除数据通道中的斜移,然后将其转换成 12 $\times$ 3.318Gbps 的信号提供给光发射模块发送。

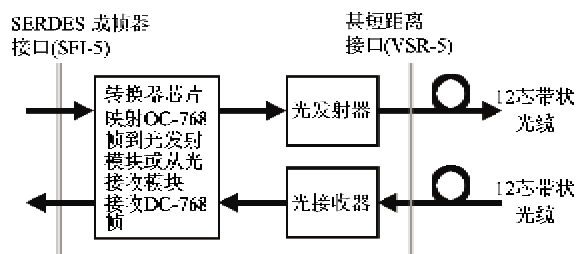


图1 VSR5的12路并行技术方案

同理,在接收方向转换芯片也要实现类似的功能,接收来自光模块的12路并行信号,并将其映射为SFI-5数据流发送出去。

本文根据 VSR5 技术规范设计的实验系统如图 2 所示。其中,转换芯片由两片 Altera Stratix II GX FPGA 实现,利用其内嵌的 20 路吉比特收发器(giga-bit transceiver block, GXB)可以实现高速信号的收发和串/并转换。SFI-5 接口信号由 Agilent 误码测试仪提供,即在发送方向,误码仪发送 16 $\times$ 2.488Gbps 数据信号外加一路同样速率的去斜移(deskew)信号给转换芯片;在接收方向,误码仪接收 16 $\times$ 2.488Gbps

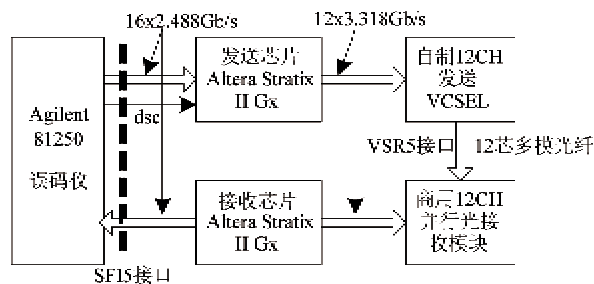


图2 VSR5实验系统框图

数据信号,并将接收到的数据与发送数据进行比较,进而给出误码测试结果。在 VSR-5 接口侧,两个 12 路并行 VCSEL 分别构成发送和接收光模块,它们之间通过 7m 长的多模光纤连接。

该实验系统的关键是转换芯片的设计和实现。由于单方向就需要多达 17 路的高速收发器,且收、发速度不同,因此,本系统选用了两片 Altera EP2SGX130 FPGA 分别作为发送和接收芯片。在发送方向,转换芯片利用 17 个 GXB 实现 17 路 2.488Gbps 信号的时钟数据恢复和串并转换等功能,其它功能如帧同步、通道对齐、12-16 映射和通道重排等则用 Verilog HDL 设计实现。接收芯片的实现与发送芯片类似,下面主要介绍接收芯片的设计与实现。

1.1 转换芯片的设计与实现

接收芯片的框图如图 3 所示,主要由高速收发 GXB、帧同步、通道对齐、12-16 路映射和通道重排等几个模块组成。接收芯片首先接收来自光模块的 12 路 3.318Gbps 的信号,通过 GXB 的接收模块进行时钟恢复、串并转换后得到 12 路 32bit 的低速数据,同时恢复出 103.68MHz 的时钟作为芯片内部的系统时钟。然后,通过帧同步电路实现各路信号的帧同步,通道对齐模块则去除 12 路数据里的斜移量,再经过 12-16 路映射模块将对齐后的 12 路数据转换成 16 路数据,最后通过 GXB 发送给误码仪用于测试。

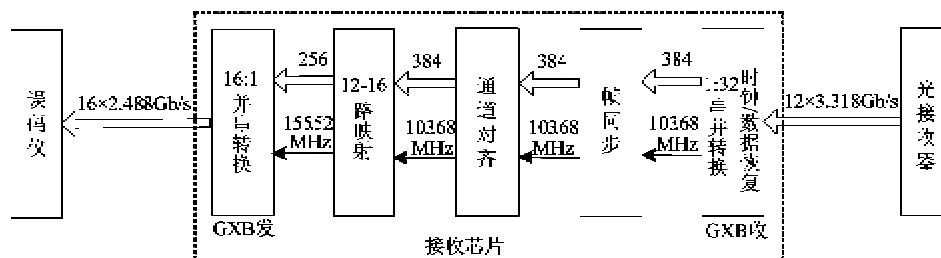


图3 接收芯片框图

1.1.1 高速收发模块 GXB

GXB 是 Stratix II GX 中内嵌的吉比特高速收发器,其支持的单方向最大传输速率达 6.375Gbps,物理电平支持 1.5V/1.2V 的准电流模式逻辑(PCML),接收和发送可以采用不同的速率,符合 VSR-5 和 SFI-5 两种接口的速率要求。它有两种工作模式^[12]:单宽(single width)和双宽(double width),前者支持 8B/10B 的串行器/解串器,速率为 600Mbps ~ 3.125Gbps,串并比为 16 或 20;后者支持 16B/20B 的串行器/解串器,速率为 1Gbps ~ 6.375Gbps,串并比可达到 32 或 40。

GXB 的一个重要特点就是发送和接收可以采用独立的参考时钟,且每 4 个高速收发器组成一组,共享时钟管理、电源等资源。每组共用 2 个发送锁相环(transmitter phase lock loop, TX_PLL),但每组的接收锁相环(receiver phase lock loop, RX_PLL)是独立的,即有 4 个独立的 RX_PLL。在收发速率相同的情况下,每组的 4 个 GXB 只需一个参考时钟 pll_inclk,收发共用同一个参考时钟。但在收发速率不同的情况下,参考时钟需要 5 个:1 个 TX_PLL 的参考时钟 pll_inclk 和 4 个 RX_PLL 的参考时钟 rx_cruclock。其中,pll_inclk 只能通过外部管脚直接输入;而 rx_cruclock 可以通过外部管脚、内部全局时钟线或内部 PLL 输入。

1.1.2 帧同步模块

GXB 接收到的 12 路 3.318Gbps 的数据经 1:32 串并转换后,帧的同步码 A1(F6H)和 A2(28H)会以 1/32 等概率地不确定顺序出现在 32 位的任意一位上,因此,数据进入转换芯片后必须先通过帧同步模块,搜索出 A1A2 同步码,以便进行下一步的通道对齐。由于 OC768 数据的每帧中有 64 个 A1 和 A2,把每帧的 A1 按每 32 位宽为一个周期划分,则至少有 15(最多 16)个周期是同样的数据,这样,前一个周期的数据与后一个周期数据的异或结果必定是全“0”。而一旦有 A2 出现的周期到来,异或的结果就不是全“0”,也就是说只要知道了第一个异或为“1”的位置,就找到了 A1A2 的交界。图 4 为帧同步模块的结构,由异或逻辑、二分查找和选择器等几个模块构成,其中异或逻辑负责定位 A1A2 交界处所在的帧,二分查找模块^[13]则采用二分查找法快速找到并指示 A1A2 的交界在 32 位数据中的位置,最后由选择器模块选出帧对齐的数据。按照这种方法,一旦二分查找模块输出了全部 $\log_2 N$ 位的查找结果(N 为位宽),就指明了前一周期 32bit 的异或结果中

第 1 个“1”的位置,从此位置开始输出的数据即为帧同步序列。

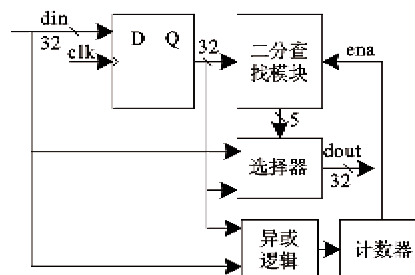


图 4 帧同步模块

该电路不仅速度快,而且实现起来也很简单。二分查找模块中的比较器只需要两位,首先判断锁存的异或结果中第 17 和 16 位是否全“0”,如果不是,表示要找的 A1A2 交界处于 31 ~ 16 位之间;否则,就在 15 ~ 0 位之间。据此,第 1 级选择器选择其中的 16 位作为下一级的数据,同时产生通道选择的第 1 位信号。依此类推,直到 5 位控制信号全部产生为止。

选择器模块的结构与二分查找模块类似,包含 5 级 2:1 选择器,每个选择器根据二分查找的输出结果进行选择。第一级 2:1 选择器以前一周期的低 16 位与当前周期的 32 位构成的 48 位数据为输入,根据二分查找模块中第一级选择器的输出选择 48 位中的高 32 位或低 32 位输出,以保证 A1A2 的边界处在第一级 2:1 选择器输出的低 16 位。第二级 2:1 选择器再以前一周期的低 8 位与当前周期的 32 位构成输入,使得 A1A2 的边界处在输出的低 8 位。依此类推,每一级通道选择器寄存上一周期的低位数据,根据所给控制信号选择输出。

除此之外,帧同步电路中还采用失帧(out of frame, OOF)检测状态机指示帧同步调整的状态,其目的是保证即使在高误码率情况下,也能指示出帧同步信号。当 OOF 状态机在连续两帧的相同位置搜索到数据流的 A1A2 起始边界时,进入帧同步状态;此后若每隔 125 μ s 都查找到 A1A2 的边界,就保持帧同步状态,当连续 4 帧搜不到 A1A2 边界,则给出失步指示。

1.1.3 通道对齐模块

在定位了 12 路数据的同步信号之后,转换芯片还需将各通道数据对齐,这是由于传输路径的不同会引起各个通道的传输延迟也有可能不同。如图 5 所示,将 12 路信号分成两组,第一组为通道 0-5,并以通道 5 为基准计算其它通道的偏移量;第二组为

通道 6-11,以通道 11 为基准计算偏移量,其中 $\text{ptr}[n]$ 为通道 n 的帧头指示信号,指向每帧的 A1A2 交界处。以比较器 1 为例,将 $\text{ptr}[5]$ 和 $\text{ptr}[4]$ 分别与“1”、“0”比较,当 $\text{ptr}[5] = 1$,同时 $\text{ptr}[4] = 0$ 时,启动计数器进行计数,一旦 $\text{ptr}[4]$ 变为“1”则停止计数,这时的计数结果即为通道 4 相对于通道 5 的偏移量。其它通道也采用类似的方法。

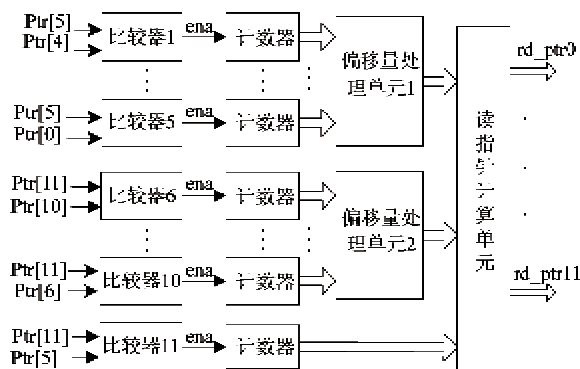


图 5 通道对齐模块框图

偏移量处理单元则计算每组中其它通道相对于基准通道的偏移量。指针处理单元再根据通道 5 相对于通道 11 的偏移以及两个偏移量处理单元的结果,找出最迟到达的通道,并计算出所有其它通道相对于该通道的偏移。最后,将最迟到达通道的读指针设为 0,计算出其它通道的读指针,并将 12 路信号分别从寄存器组中读出即可。

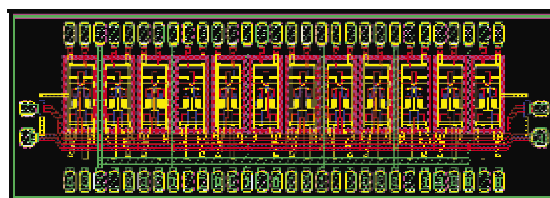
1.1.4 12-16 路映射

在向误码仪发送数据之前,转换芯片还需将 12 路并行数据映射为 16 路数据。为了便于硬件实现,在芯片内部处理 12 路数据的时钟频率为 103.68MHz,每路数据的位宽为 32 比特,而处理 16 路数据的工作频率为 155.52MHz,位宽 16 位。因此,12-16 路映射时,数据需要在不同时钟域间传递,有可能会出现问题不满足触发器建立时间和保持时间的情况,触发器容易进入亚稳态。本设计中采用两级采样同步器消除亚稳态,开 3 个深度为 96×16 的存储区,将 12 路信号依次按照写指针地址写入第一级存储区,在第三级存储区再根据读指针读出 16 路信号。读写指针受前级接收通道对齐模块给出的帧头指示信号控制。当帧头指示信号到达时复位读写指针以及 3 个存储区,由于读写指针复位后,读写时钟触发沿到达的先后的不确定性,可能导致信道映射的错误,因此在读数据时还需判断存储区中的数据是否为 A1,当为 A1 时再读出即可保证 12 路信号按

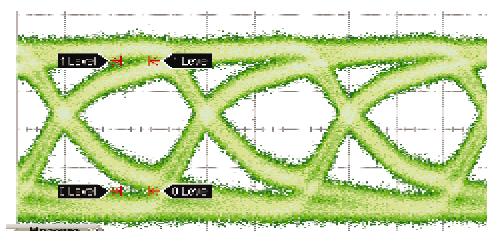
顺序映射到 16 路信号中。

1.2 并行光收发模块

本实验系统中, $12 \times 3.318\text{Gbps}$ VCSEL 光接收模块为商用模块,发射模块为自制模块,各通道相互独立,支持热插拔。图 6 所示为采用 Jazz0.35 μm SiGe BiCMOS 工艺制作的 $12 \times 3.318\text{Gbps}$ 激光驱动器芯片版图及电源电压为 3.3V 时的测试眼图^[14]。



(a) 版图



(b) 测试眼图

图 6 $12 \times 3.318\text{Gbps}$ 激光驱动器

2 VSR5 系统的测试

图 7 为 VSR5 实验系统的接收板示意图,图 8 为板的实物照片。接收芯片的逻辑功能采用 Verilog

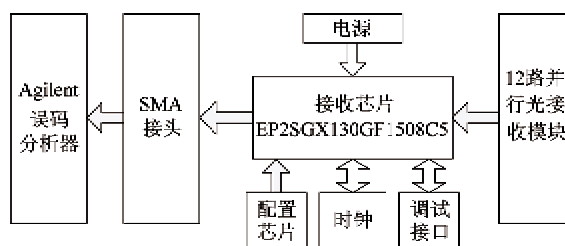


图 7 接收板示意图

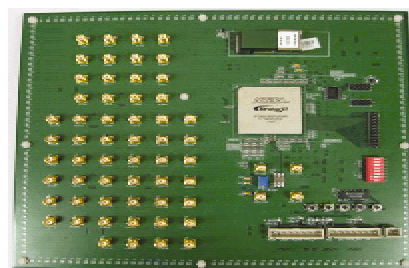


图 8 接收板实物照片

HDL设计,并用 SignalTap II 逻辑分析仪对各电路模块进行了验证。

图 9 为用 Signaltap II 逻辑分析仪得到的帧同步结果,其中 din 和 dout 分别为同步前和同步后的数据,fr 为帧头指示信号,其值为高指示了每帧第 10 个 A1 的位置。

图 10 为通道对齐模块的测试结果,其中 din_n 和 dout_n 分别为对齐前、后的数据。图 11、图 12 为 12-16 映射电路的测试结果,图 11 中的 0000H、1111H、2222H...是在发送数据中为了便于测试而为每个通道专门编写的数字。由图 12 可见通道已按顺序排列。

OC64_FrameAligner::inst67[0]	DEDEDEDeh	05050509h
OC64_FrameAligner::inst67[1]	F6F6F6Fbh	28282828h
OC64_FrameAligner::inst67[2]		
OC64_FrameAligner::inst67[3]		

图9 帧同步模块测试结果

00.. RX_deskew.inst39 dout_11	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
01.. RX_deskew.inst39 dout_10	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
02.. RX_deskew.inst39 dout_9	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
03.. RX_deskew.inst39 dout_8	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
04.. RX_deskew.inst39 dout_7	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
05.. RX_deskew.inst39 dout_6	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
06.. RX_deskew.inst39 dout_5	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
07.. RX_deskew.inst39 dout_4	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
08.. RX_deskew.inst39 dout_3	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
09.. RX_deskew.inst39 dout_2	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
0A.. RX_deskew.inst39 dout_1	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
0B.. RX_deskew.inst39 dout_0	XXXXXXXXXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
0C.. RX_deskew.inst39 din_11	XXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
0D.. RX_deskew.inst39 din_10	XXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
0E.. RX_deskew.inst39 din_9	XXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
0F.. RX_deskew.inst39 din_8	XXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
10.. RX_deskew.inst39 din_7	XXXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
11.. RX_deskew.inst39 din_6	XXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
12.. RX_deskew.inst39 din_5	XXXXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
13.. RX_deskew.inst39 din_4	XXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
14.. RX_deskew.inst39 din_3	XXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
15.. RX_deskew.inst39 din_2	XXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
16.. RX_deskew.inst39 din_1	XXXXXXXXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX
17.. RX_deskew.inst39 din_0	XXXX	F6F6F6F6h	X	28282828h	XXXXXXXXXXXXXXXXXXXX

图 10 通道对齐模块测试结果

[-] con12to16:inst4Qdatain0	28282828h	44449B29h	23073672h
[-] con12to16:inst4Qdatain1	28282828h	5555E7Ch	D3170EF9h
[-] con12to16:inst4Qdatain2	28282828h	6666B182h	76507305h
[-] con12to16:inst4Qdatain3	28282828h	7777A4D7h	76FB4DAFh
[-] con12to16:inst4Qdatain4	28282828h	8888CE7Eh	89A99C7Eh
[-] con12to16:inst4Qdatain5	28282828h	9999DB2Bh	A30AB75Fh
[-] con12to16:inst4Qdatain6	28282828h	AAAE4D5h	DCFC8FBh
[-] con12to16:inst4Qdatain7	28282828h	BBBBF180h	FE75F300h
[-] con12to16:inst4Qdatain8	28282828h	CCCC0000h	0E531
[-] con12to16:inst4Qdatain9	28282828h	DDDD1111h	8E5D1006h
[-] con12to16:inst4Qdatain10	28282828h	EEEE2222h	E5E81A53h
[-] con12to16:inst4Qdatain11	28282828h	FFFF3333h	BD7E15ADh

图 11 12-16 映射电路的 12 路输入数据

con12to16:inst40:dataout0	2828h	0000h	81FAh	1B77h	88FDh	07EBh	6DD0h	23F
con12to16:inst40:dataout1	2828h	1111h	EA22h	70AFh	FF73h	A88Ah	C2BCh	FD0
con12to16:inst40:dataout2	2828h	2222h	954Ah	CCC7h	106Eh	5928h	331Eh	41B
con12to16:inst40:dataout3	2828h	3333h	3D92h	A71Fh	C7E3h	F649h	9C7Fh	1F8
con12to16:inst40:dataout4	2828h	4444h	2E85h	B416h	5D36h	BA16h	D058h	74D
con12to16:inst40:dataout5	2828h	5555h	92CEh	DFCEh	3619h	4B38h	7F3Ah	D88
con12to16:inst40:dataout6	2828h	6666h	CC9Fh	63A6h	F257h	327Ch	8E98h	C95
con12to16:inst40:dataout7	2828h	7777h	E55Eh	087Eh	25E7h	9578h	21F9h	979
con12to16:inst40:dataout8	2828h	8888h	8DBBh	447Eh	03F5h	36EEh	11FBh	0FD
con12to16:inst40:dataout9	2828h	9999h	B857h	FFB9h	D445h	E15Eh	FEE6h	511
con12to16:inst40:dataout10	2828h	AAAAh	E863h	8637h	AC94h	998Fh	200Dh	B29
con12to16:inst40:dataout11	2828h	BBBBh	D38Fh	E3F1h	7B24h	4E3Fh	8FC7h	EC9
con12to16:inst40:dataout12	2828h	CCCCh	5A0Bh	2E9Bh	5D0Bh	682Dh	BA6Dh	742
con12to16:inst40:dataout13	2828h	DDDDh	6FE7h	1B0Ch	259Ch	BF9Dh	6C33h	967
con12to16:inst40:dataout14	2828h	EEEEh	31D3h	F92Bh	993Eh	C74Ch	E4AEh	64F
con12to16:inst40:dataout15	2828h	FFFFh	043Fh	92F3h	CABCh	10FCh	4BCFh	2AF

图 12 12-16 映射电路的 16 路输出数据

为了实现 VSR5 实验系统的点到点测试,我们采用了 Agilent 81250 误码测试仪^[15]。它由码型发生器和误码分析器两个独立的 VXI 机框组成。其中,码型发生器包括一个时钟模块 E4808 和 17 个 2.7Gbps 的数据模块 E4861A。误码分析器包含同样类型的时钟模块和 16 个数据分析模块 E4861A。计算机通过两个 1394 接口分别控制码型发生器和误码分析器。测试时,码型发生器发送的数据由文件

从外部导入,每路数据速率设为 2.488Gbps,经过发送芯片输出后,光发射模块以 12 路 3.318Gbps 的信号发出,通过 7m 光纤和光接收模块后到达接收端,经接收芯片处理后将 16 路 2.488Gbps 信号发送给误码分析器计算误码,从而实现了 SDH STM-256/OC768 40Gbps 的点到点测试。图 13 为连续 2h 的误码测试结果,证明系统的误码率小于 10^{-12} 。

Agilent 81250

File Edit Tools View Go Control System Window Help

Bit Error Rate - Port 1: Data

Time Since Start: 02:05:41

Reset PortReset All

Port 1: Data				Actual Number of Bits	Actual Number of Errors	Actual Bit Error Rate	Accum. Number of Bits	Accum. Number of Errors	Accum. Bit Error Rate	
Term	✓	Rel	S							
1 Data0		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
2 Data1		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
3 Data2		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
4 Data3		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
5 Data4		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
6 Data5		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
7 Data6		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
8 Data7		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
9 Data8		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
10 Data9		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
11 Data10		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
12 Data11		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
13 Data12		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
14 Data13		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
15 Data14		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
16 Data15		R	✓		2.488331e+009	0.000000e+000	0.000000e+000	1.676321e+013	0.000000e+000	0.000000e+000
Summary					3.981333e+010	0.000000e+000	0.000000e+000	3.002113e+014	0.000000e+000	0.000000e+000

图 13 误码率测试结果(2h)

3 结 论

本文的接收电路采用 10 层电路板实现,利用一片 Stratix II GX FPGA 实现了包括高速收发、帧同步、通道对齐和 12-16 路映射等在内的转换芯片的

全部功能,并用 Signaltap II 逻辑分析仪验证了电路功能的正确性。采用 7m 12 芯多模带状光纤,将接收电路与发射电路相连,实现了 40Gbps 速率的 VSR5 实验系统。整个系统经 Agilent 81250 误码测试仪进行了点到点测试,结果表明系统运行稳定,误码率小于 10^{-12} 。

参考文献

- [1] 陈弘达,左超.甚短距离光传输技术.北京:科学出版社,2005.1-5
- [2] Cisco White Paper. Optimizing for Network Intra-POP Interconnections with Very Short Reach Interface. San Jose: Cisco Systems, 2000
- [3] TranSwitch. <http://www.transwitch.com>; TranSwitch Corporation,1995
- [4] 黄頔,王志功,李连鸣等. $0.25\mu\text{m}$ CMOS 工艺实现的 $3.125\text{Gbit/s} \times 12$ 通道 VCSEL 驱动器阵列. 电子学报, 2004,32(2):324-326
- [5] 王晓明,王志功,苗澎等. 10Gbit/s 甚短距离并行光传输模块研究. 电路与系统学报,2004,9(4):1-4
- [6] 申荣铨,陈弘达,毛陆虹等. 10Gb/s 甚短距离(VSR)并行光传输系统. 高技术通讯,2004,13(4):105-109
- [7] 苗澎,王志功,李 . 10Gbit/s 甚短距离并行光传输模块与实验系统. 电子学报,2007,35(2):304-306
- [8] 陈雄斌,刘丰满,刘博等. 基于 STM-64 的甚短距离并行光传输系统. 光电子·激光,2008,19(8):1050-1053
- [9] Opnext Corporation. 40G VSR Transceivers. <http://www.opnext.com>; Opnext Corporation,2008
- [10] Liu F M, Tang J, Chen X B, et al. 40Gbps parallel optical module based on an advanced structure of optical coupling. In: Proceedings of the Asia-Pacific Optical Communications, Hangzhou, China,2008
- [11] Optical Internetworking Forum. OIF-VSR5-01.1. California: Optical Internetworking Forum, 2002
- [12] Altera Corporation. Stratix II GX Transceiver User Guide. San Jose: Altera Corporation, 2007
- [13] 李 ,王志功,王晓明等. 应用于甚短距离光传输系统的并行帧对齐电路. 光通信研究,2005,(1):15-17
- [14] 解峰. 12 路并行 40Gb/s $0.35\mu\text{m}$ SiGe BiCMOS 高速激光驱动器设计与实现:[硕士学位论文]. 南京:东南大学信息科学与工程学院,2009.53-64
- [15] Agilent Technologies. Agilent 81250 Parallel Bit Error Ratio Tester System User Guide. Santa Clara: Agilent Technologies, 2006

Receiver design and realization of 40Gbps very short reach optical transmission systems

Xu Duo, Hu Qingsheng, Miao Peng

(Institute of RF- & OE-ICs, Southeast University, Nanjing 210096)

Abstract

The paper presents the receiver design and realization of a 40Gbps very short reach (VSR) optical transmission system compatible for the OIF-VSR5 specification. The receiver consists of a converter IC and an optical receiver module, characterized by making full use of high speed transceivers in the field-programmable gate array (FPGA) to successfully realize $16 \times 2.488\text{ Gbps}$ and $12 \times 3.318\text{ Gbps}$ signal transmission and reception. All of the functions of the converter IC such as clock data recovery, serial/parallel conversion, frame synchronization, channel deskew, 12/16 conversion and channel rearrangement are implemented in one FPGA chip. The frame synchronization logic based on the binary search algorithm can speed up the converter IC greatly. Testing results obtained from Signaltap II indicate that the circuit works well and correctly. Furthermore, this paper presents a point-to-point test of the VSR5 experiment system. By connecting transmitter and receiver through 7-meter 12-fiber multi-model ribbon, a SDH STM-256/OC768 40Gbps point-to-point test was realized, and a low bit error rate of 10^{-12} was obtained.

Key words: VSR5, converter IC, frame synchronization, channel deskew, 12/16 conversion