

基于 $0.18\mu\text{m}$ CMOS 工艺的 2 Gsps 6 比特全并行模数转换器设计^①刘海涛^② 孟 桥^③ 王志功^③

(东南大学射频与光电集成电路研究所 南京 210096)

摘 要 基于 $0.18\mu\text{m}$ CMOS 工艺,研究并设计了一个精度为 6 比特、采样率为 2 Gsps 的全并行超高速模数转换器(ADC),发现并解决了门限限速效应(TLSE),进而提高了 ADC 的电压比较器的工作速度,并利用平均终端法减小了电路非线性失真。采用分段编码方式,使电路规模和速度都得到了优化。通过 SMIC 实现流片,有效面积为 0.48mm^2 。实测结果表明,该 ADC 芯片的最小分辨率为 10mV,最高采样率可达 2.2Gsps。最高采样率下有效位达到 5.6 比特,总功耗 310mW。

关键词 模数转换器(ADC),全并行,CMOS,超高速

0 引 言

随着无线网络技术、数字信号处理技术、计算机技术和高速数据采集技术的不断发展,对信号处理速度的要求越来越高。第四代移动通信、无线局域网和短距离无线通信等系统应用已将数据传输速度的目标定在 1Gbps^[1]。这样,每秒千兆取样率(Giga sample per second, Gsps)的模拟数字转换器(analog-to-digital converter, ADC)技术就成为关键技术之一,它的实现在多种应用中有着重大意义。同时,采样率达 Gsps 的 ADC 的研制对于超高速数据存储和读取设备^[2]、雷达、电子对抗等诸多高技术领域都有着非常重大的意义。

超高速 ADC 中的高速比较器、高速编码电路是制约 ADC 速度的关键模块,同时保证较低功耗和高速成为制约 ADC 性能的关键。目前采样率达 Gsps 的 ADC 的核心技术仍掌握在国外诸如 NS, Maxim 等公司手中,有些 ADC 产品甚至采用专用工艺以提高精度和速度^[3]。本研究小组在控制较低功耗的前提下,通过解决门限限速效应和采用分段编码方式分别提高了比较器和编码网络的速度,最终基于 SMIC $0.18\mu\text{m}$ CMOS 工艺设计了一个精度为 6 比特、采样率 2 Gsps 的超高速全并行 ADC,其总体性能接近国际上的同类芯片,在某些方面甚至优于国际上的同类芯片。

1 ADC 整体结构

对比各种 ADC 结构发现,全并行结构速度最快,因而,全并行结构成为超高速 ADC 设计中常采用的结构。图 1 为本文设计的全并行结构 ADC 的整体框图。该 ADC 的输入信号和参考电压直接通过三级前置放大器进行放大,然后通过超高速比较器锁存比较并输出温度计码,前置放大器和比较器之间是利用平均终端法级联的均衡电阻网络,用以减小整个 ADC 的非线性失真^[4]。三输入与门阵列用以消除一阶气泡码^[5]。最后通过利用分段编码方法的高速二进制编码网络得到最终的 6 比特编码输出。

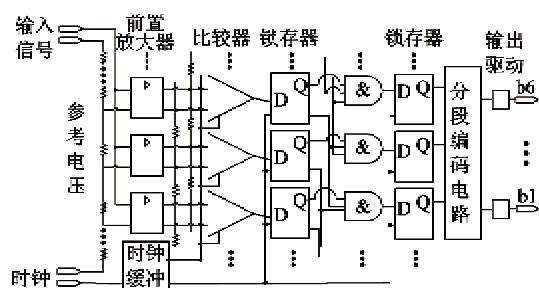


图 1 全并行 ADC 整体框图

2 系统关键模块设计

超高速 ADC 的采样率达到 Gsps 时,其转换精

① 863 计划(2007AA01Z2A7)资助项目。

② 男,1981 年生,博士;研究方向:超高速 ADC 设计及混合信号处理;E-mail: hitallan@163.com

③ 通讯作者, E-mail: mengqiao@seu.edu.cn; zgwang@seu.edu.cn

(收稿日期:2009-02-06)

度和输入带宽主要由分压网络和前置放大器决定,转换速度主要由比较器和编码网络决定。所以,这几个部分对超高速 ADC 的最终性能起着关键作用。

2.1 分压网络设计

分压网络采用等值电阻串联的方式,为前置放大器提供所有参考电压。当输入信号频率很高时,由于前置差分放大器栅极电容会导致明显的馈通效应,使参考电压出现波动而产生误差。馈通最大误差出现在电阻网络的中间点^[6]。在设计中可通过减小串联电阻的阻值的方法降低馈通效应,但是这同时也会增加系统的功耗。所以在设计中必须综合权衡馈通效应和功耗两方面的矛盾。

2.2 前置放大器设计

为了提高比较器的比较速度和减小比较器的直流偏移造成的失调误差,应使用前置放大器、放大比较器的输入端的输入信号,以获得更大的输入信号差供比较器比较。

本设计中采用 3 级如图 2 所示的低增益、高带宽的放大器级联,这样总延时可以被最小化^[7],同时可获得较高的增益和适当的带宽。 V_{cc} 为供电电源, V_{in} 和 V_{ref} 分别为输入电压和参考电压, V_{out1} 和 V_{out2} 为输出电压。同时对于输入信号而言,采用多级级联的方式,可以减小输入信号的负载电容,这对减小馈通效应和提高电路工作速度都是非常有利的。

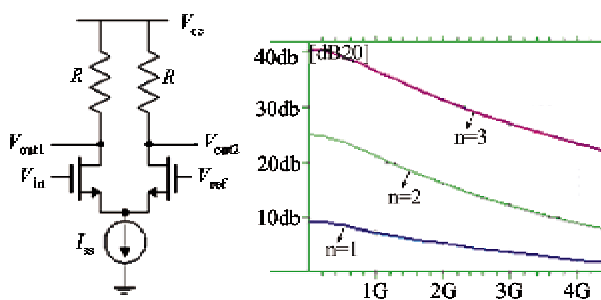


图 2 前置放大器及其增益

2.3 超高速比较器设计

比较器是整个 ADC 电路的核心,其速度对 ADC 电路的最终工作速度起着决定性作用。超高速比较器一般采用可再生环路结构,利用正反馈来提高速度。本设计针对图 3 所示的再生环结构的超高速比较器进行了深入研究,发现并解决门限限速效应(threshold-limit-speed, TLSE)进而使比较器达到最快工作速度。

V_{in1} 和 V_{in2} 为两路输入信号,clk 为控制时钟,

$outn$ 和 $outp$ 为两路输出, V_{cc} 为供电电源, Gnd 为接地。当时钟(clk)信号为高电平时, m5 导通, 比较器复位; 当 clk 为低电平时, m5 关断, 比较输入信号并输出结果。从电路工作原理来看, 图 3 中的 m5 仅仅起到开关复位的作用, 但实际上 m5 对比较器的工作速度有很大影响。

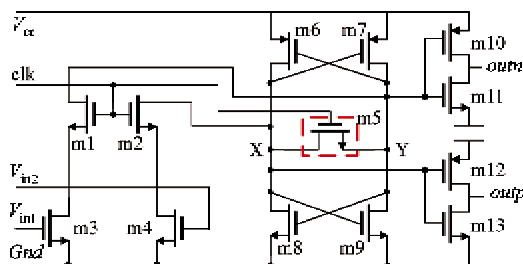


图 3 超高速比较器电路图

该比较器的工作速度首先取决于由 m6 至 m9 构成的再生环, 其复位时间常数为^[5]

$$\tau_{rec} \approx 2R_{5on}C_{tot} \quad (1)$$

再生时间常数为

$$\tau_{reg} \approx \frac{C_{tot}}{g_{m67} + g_{m89}} \quad (2)$$

其中 R_{5on} 为 m5 的导通电阻, C_{tot} 为从结点 X 或 Y 看上去的寄生电容。按照文献[5]的分析, 为了减小 m5 的导通电阻, 晶体管 m5 的栅宽越大越好。但事实上, 进一步分析能发现, 过大的栅宽尺寸反而会引起 TLSE, 降低比较器工作速度。

当 clk 为高电平时, m5 导通, 但由于导通电阻和电流的存在, 结点 X 和 Y 必然存在着电压差。图 3 中节点 X、Y 间的大信号等效电路如图 4 所示。不同下标的 I_D 为各个晶体管导通电流, R_D 为导通电阻。

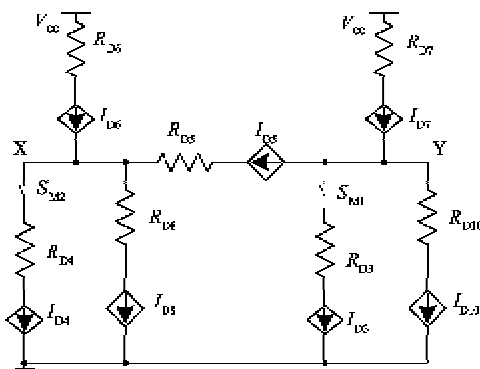


图 4 节点 X、Y 间大信号等效电路图

假设一种输入条件下, m3, m4 和 m6 至 m9 都工作在饱和状态。那么在图 4 中有

$$I_{D5} = I_{D7} - I_{D9} - I_{D3} = I_{D4} + I_{D8} - I_{D6} \quad (3)$$

令 $\beta_7 = \beta_9 = \beta$, $V_{TN} = -V_{TP} = V_T$, 可得

$$\begin{aligned} I_{D5} &= I_{D7} - I_{D9} - I_{D3} \\ &= \frac{1}{2} \beta (V_{cc} - 2V_T)(V_{cc} - 2V_X) \\ &\quad - \frac{1}{2} \beta_3 (V_{in1} - V_T)^2 \end{aligned} \quad (4)$$

同理有

$$\begin{aligned} I_{D5} &= I_{D4} + I_{D8} - I_{D6} \\ &= \frac{1}{2} \beta_4 (V_{in2} - V_T)^2 \\ &\quad - \frac{1}{2} \beta (V_{cc} - 2V_T)(V_{cc} - 2V_Y) \end{aligned} \quad (5)$$

结合(4)、(5)两式有

$$V_{XY} = \frac{\Delta I_{in}}{\frac{2}{R_{5on}} - \beta(V_{cc} - 2V_T)} \quad (6)$$

其中 ΔI_{in} 是由输入信号 v_{in1} 和 v_{in2} 引起的输入电流差。由式(6)可见,复位管 m5 过大的栅宽会导致节点 X、Y 间过小的电压差。这样,在输出端由 m9 至 m13 构成的反相器就会由于过小的 V_{XY} 而引起 TLSE。由于 V_{XY} 过小,门限电平很难恰好位于 X、Y 复位电平之间,那么在输出端 outn 和 outp 就会有一路出现波动,如图 5 所示。

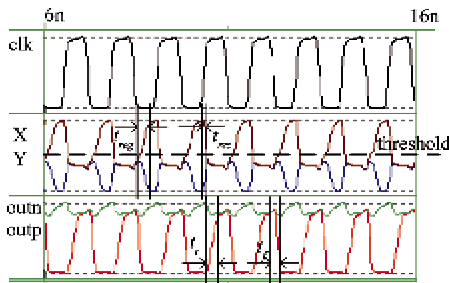


图 5 门限限速效应示意图

由于在比较器之后由锁存器对比较器的输出进行同步采样,如果锁存器的建立时间为 t_{set} , 那么由图 5 可得时钟周期最小为

$$t_{lth} = t_r + t_f + t_{set} \quad (7)$$

如果适当的减小复位管栅宽来增加 V_{XY} , 反相器容易提供一个相对精确的门限,这样比较器输出端 outn 和 outp 不会出现波动,如图 6 所示。此时时钟周期最小为

$$t'_{lth} = t_{edge} + t_{set} \quad (8)$$

显然 $t'_{lth} < t_{lth}$, 所以门限限速效应的消除可以提高比较器工作速度。

对于由 m9 至 m13 提供的反相器,其门限为

$$V_{thr} = \frac{V_{cc} + V_{tp} + V_{in} \sqrt{\beta_n/\beta_p}}{1 + \sqrt{\beta_n/\beta_p}} \quad (9)$$

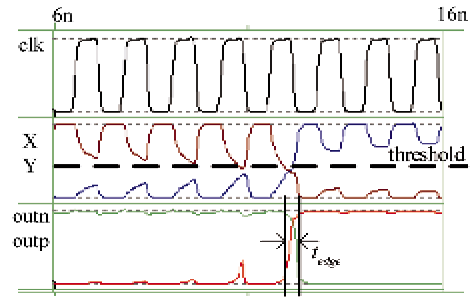


图 6 消除门限限速效应示意图

考虑到实际流片的工艺误差,假设 β_n/β_p 为 1.1,即误差为 10%, $V_{TN} = -V_{TP} = 0.5$ V,那么由式(9)可得误差 ΔV_{thr} 约为 10mV。所以为确保比较器不受 TLSE 限制,本设计中,有

$$V_{XY} > 2\Delta V_{thr} \approx 20\text{mV} (\text{error} = \pm 10\%) \quad (10)$$

2.4 编码电路设计

在 6 比特 ADC 输出编码中,如果采用直接编码电路,对于每一位输出,都将加载 32 个晶体管栅极的电容,同时在实际版图中,过长的金属走线也带来了过大的寄生电阻、电容。这对工作速度达到 2GHz 的电路而言,会造成很大的负面影响。本设计中采用了分段编码方法,如图 7 所示。 C 为金属走线寄生电容, R 为寄生电阻。

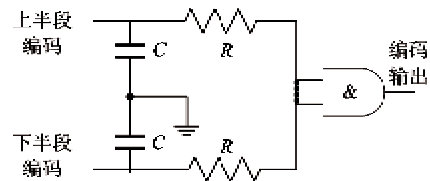


图 7 分段编码电路示意图

实际版图布局中,将传统的编码网络阵列划分为两部分,各自的输出通过一级与门进行逻辑判断,输出最终编码。这种方法将编码电路对于前级电路的负载电阻、电容都几乎减半,可使电路在超高速的工作条件下的速度大幅提升,满足超高速编码的要求。

在超高速 ADC 设计中,为了尽可能减小误码率,一般先采用格雷码编码,但由于格雷码可读性差,通常在最终输出前会再转换成二进制编码^[5]。考虑到芯片面积,本设计采用二进制编码。

3 电路整体版图及测试结果

本设计基于 SMIC 0.18 μm CMOS 工艺,整体版

图显微照片如图 8 所示。总面积 2.01mm²,有效面积 0.49mm²。

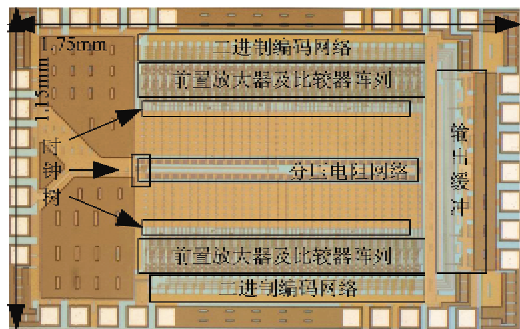
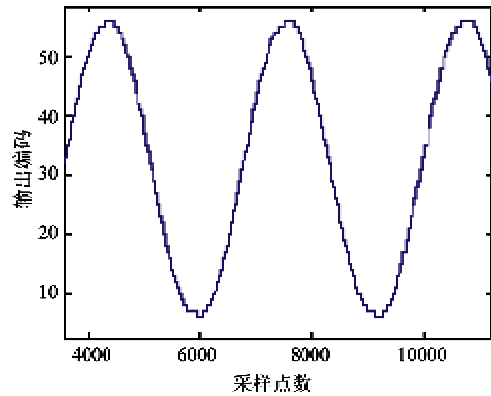
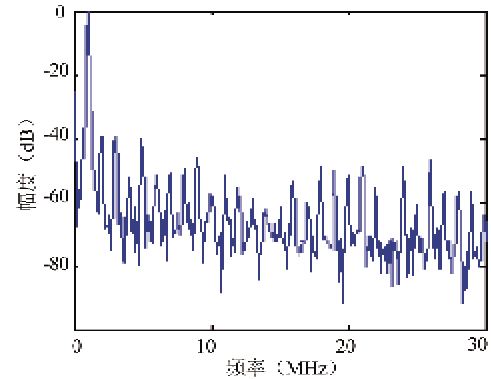


图 8 6 比特 ADC 整体版图显微照片

芯片采用 CLCC24 封装,测试利用逻辑分析仪对 ADC 输出信号进行采集。该芯片采用 1.8V 供电,



(a) 恢复时域波形



(b) 恢复频谱波形(1MHz @ 2.2 Gsps)

图 9 最高采样率 2.2Gsps 下,采样 1MHz 输入信号

最小量化精度(LSB)为 10mV。2.2 Gsps 采样 1MHz 输入信号,经逻辑分析仪采样恢复出的时域波形如图 9(a),频谱如图 9(b)。微分非线性(DNL)和积分非线性(INL)如图 10 所示。ADC 在不同采样率以及输入信号频率下的有效位(ENOB)与输入关系如图 11 所示。从图中可以看出,在 2.2Gsps 采样率下,最高有效位可达 5.6 位,微分非线性基本保持在 ± 0.5 LSB 内,积分非线性基本在 ± 1 LSB 内,最大处 1.3LSB。性能汇总见表 1,与其他类似芯片对比见表 2。

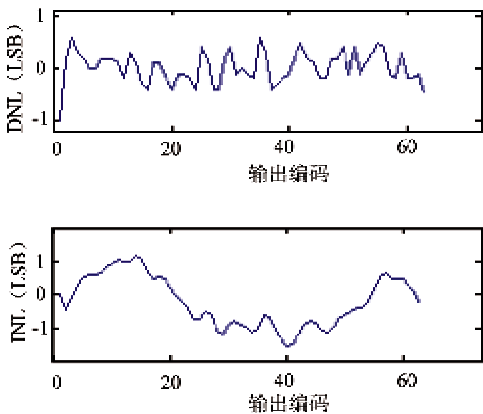


图 10 2.2Gsps 下 DNL/INL 曲线

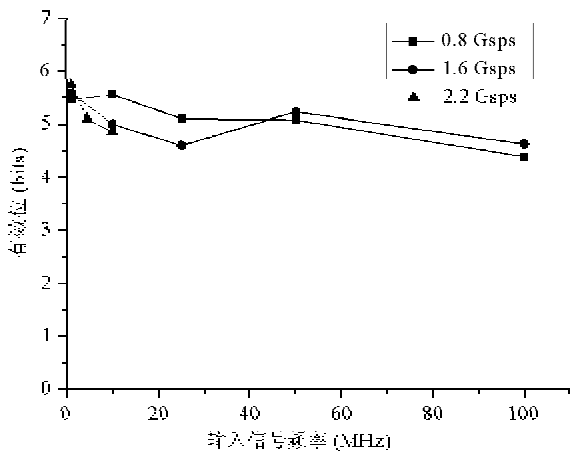


图 11 ENOB 与输入信号以及采样率关系图

表 1 本设计性能汇总

结构	全并行(Flash)	有效位(ENOB)	最高 5.6 位 (@2.2 Gsps)
精度	6 比特	功耗	310mW (@2.2 Gsps)
最大采样率	2.2Gsps	有效面积(总面积)	0.48mm ² (2.01mm ²)
最小量化精度(LSB)	10mV	工艺	SMIC 0.18 μm CMOS
供电	1.8V	最大输入频率	1.1GHz (Nyquist)

表 2 本设计与相关设计对比

性能参数	结构	有效面积(mm ²)	精度	最大采样率(Gsps)	最小量化精度(mV)	功耗(mW)	工艺 μm CMOS
参考 2(02)	全并行	0.12	6	1.6	N/A	340	0.18
参考 8(03)	全并行	0.5	6	2	N/A	310	0.18
参考 9(06)	全并行	0.5	4	4	28.75	619	0.18
参考 10(08)	全并行	0.15	6	3.5	8.75	98	0.09
本设计	全并行	0.48	6	2.2	10	310	0.18

4 结 论

本文基于 SMIC 0.18 μm CMOS 工艺,设计了一个采样率最高可达 2.2Gsps 的全并行 ADC,经流片、测试,性能良好,在同等工艺水平下已接近国际同类芯片,并在某些方面甚至优于国际上同类芯片。该芯片从设计、生产、测试均在国内完成,对相关的超高速信号处理应用有着重要的意义,为今后实现全国产化的更高位数以及更高速度的 ADC 打下了坚实的基础。

参考文献:

- [1] 刘宝玲,陶小峰,张平. 同频分布式 FuTURE TDD 第四代移动通信系统. 电子学报, 2007, 6(6A): 131-135
- [2] Scholtens P, Vertregt M. A 6b 1.6 Gsps flash ADC in 0.18 μm CMOS using averaging termination. In: Proceedings of the IEEE Solid-State Circuits Conference, San Francisco, USA, 2002. 128-130
- [3] National Semiconductor. ADC 083000 8-Bit, 3 GSps, High Performance, Low Power A/D Converter. Santa Clara: National Semiconductor, 2008
- [4] Kattmann K, Barrow J. A technique for reducing differential non-Linearity errors in flash A/D converters. In: Proceedings of the IEEE Solid-State Circuits Conference, San Francisco, USA, 1991. 170-171
- [5] Razavi B. Principles of Data Conversion System Design. New York: The Institute of Electrical and Electronics Engineers, 1995. 189-191
- [6] Venes A G W, Plassche R J. An 80-MHz 80 mW 8b CMOS folding AD converter with distributed track-and-hold preprocessing. *IEEE Journal of solid-state circuits*, 1996, 12(31): 1864-1853
- [7] Allen P E, Holberg D R. 冯军, 李智群译. CMOS Analog Circuit Design. 2nd Edition. 北京: 电子工业出版社, 2006. 393
- [8] Jiang X C, Wang Z Y, Chang M F. A 2GS/s 6b ADC in 0.18 μm CMOS. In: Proceedings of the IEEE Solid-State Circuits Conference, San Francisco, USA, 2003. 322
- [9] Park S, Palaskas Y, Flynn M P. A 4GS/s 4b Flash ADC in 0.18 μm CMOS. In: Proceedings of the IEEE Solid-State Circuits Conference, San Francisco, USA, 2006. 2330-2339
- [10] Deguchi K, Suwa N, Ito M, et al. A 6-bit 3.5-GS/s 0.9-V 98-mW flash ADC in 90-nm CMOS. *IEEE Journal of solid-state circuits*, 2008, 10(43): 2303-2310

A 2-Gsps 6-bit flash analog-to-digital converter in 0.18- μm CMOS process

Liu Haitao, Meng Qiao, Wang Zhigong

(Institute of RF- & OE-ICs (IROI) of Southeast University (SEU), Nanjing 210096)

Abstract

This paper presents the design and test of a 2-Gsps 6-bit flash type analog-to-digital converter (ADC) in the 0.18 μm CMOS technology. The speed of the ADC's comparator is promoted by solving the problem of threshold-limit-speed effect (TLSE). The non-linear errors are reduced by means of averaging the terminations. The area and speed of the encoder part are optimized by the segmented encoding. The IC is realized in the SMIC 0.18 μm CMOS technology, which occupies an active area of 0.48mm². The measurements show the ADC' LSB of 10 mV and the reachable sampling rate of 2.2 Gsps. At 2.2 Gsps the effective number of bits (ENOB) can reach 5.6 bits and the power consumption is 310mW.

Key words: analog-to-digital converter (ADC), flash, CMOS, ultra high speed