

10Gb/s 0.35 μ m SiGe BiCMOS 伪差分共基极输入前端放大电路的设计^①陈 准^② 冯 军^③ 王远卓

(东南大学射频与光电集成电路研究所 南京 210096)

摘 要 采用 Jazz 0.35 μ m SiGe BiCMOS 工艺设计实现了应用于 10Gb/s 速率级光接收机的前端放大电路。该电路由前置放大器与限幅放大器构成,两者均采用了差分电路形式。前置放大器由共基输入级和带并联负反馈的放大器组成。跨导放大器中的基本放大器采用共集-共发-共基的组合结构扩展带宽。限幅放大器采用两级 Cherry-Hooper 结构。芯片面积仅为 0.47mm²。测试结果表明,在 3.3V 的供电电压下,总功耗为 158mW。在输入电压信号 25mV 时,可以得到清晰对称的眼图。

关键词 光纤通信,前置放大器,限幅放大器,Cherry-Hooper 结构,0.35 μ m SiGe BiCMOS 工艺,共基极

0 引言

光纤的高速率、大容量、低损耗等诸多优点使得光纤通信系统成为现代高速信息公路的主干网。前端放大器作为光接收机的核心电路,其性能的优劣直接影响了整个光接收机的性能。尽管互补金属氧化物半导体(CMOS)工艺具有高集成度、低价格等优点,但相对较低的特征频率以及较高的噪声影响了它在高速高灵敏度系统中的应用。目前,只有少数^[1-4]10Gbps 的超高速前端放大电路采用 CMOS 工艺实现。由于 CMOS 的低速率使得在实现 10Gbps 速率的电路时不得不采用电感来进行带宽扩展,从而大大地增加了芯片面积。超高速的前端放大电路主要还是采用 GaAs、InP 等 III/V 族工艺实现^[5,6],但是对于国内的设计者,这将面临着高成本、低成品率、高功耗以及工艺不易获得等缺点。为了解决高速率与低成本的矛盾,采用 SiGe BiCMOS 工艺不失为一种良好的折中方案。由于 SiGe BiCMOS 工艺很好结合了 CMOS 工艺和 III/V 族工艺的优点,因此能够在成本和电路性能中进行有效的折中。测试结果表明,与文献[7-12]相比,本次采用 0.35 μ m SiGe BiCMOS 工艺实现的前端放大器在芯片面积和功耗上都有优势,而与文献[1-5]相比又具有高速率的优势。

1 电路设计

前端放大器主要由前置放大器和限幅放大器组成,其系统框图如图 1 所示。前置放大器主要是对微弱的电流信号进行放大,在满足一定增益和带宽的前提下需要降低噪声以提高前端放大电路的灵敏度实现宽动态范围。限幅放大器主要是对前置放大器输出的电压信号进行放大并输出稳定幅度的电压。由于输入的电流信号不是真正的差分信号,因此需要转换电路来实现伪差分到全差分的转换。

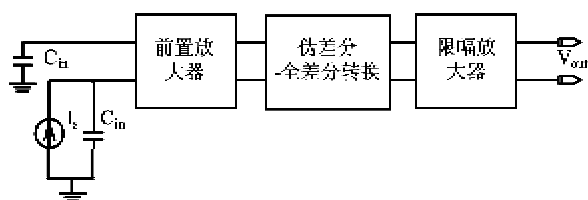


图 1 前端放大电路系统框图

1.1 前置放大器电路设计

前置放大器由于处于整个光接收机电光接口的最前端,决定了它高增益、高带宽以及低噪声特性。前置放大器一般分为低阻、高阻和跨阻三大类。跨阻放大器结合了低阻放大器和高阻放大器的优点,具有低输入输出阻抗、高带宽、低噪声等诸多优点而成为现在前置放大器的主流结构。

① 863 计划(2006AA01Z284)资助项目。

② 男,1984 年生,硕士;研究方向:超高速集成电路设计;E-mail: chenzhun_209_163@163.com

③ 通讯作者,E-mail: fengjun_seu@seu.edu.cn
(收稿日期:2009-06-15)

传统的跨阻放大器^[9]采用共源输入级,其增益为 $R_T = R_f \cdot A / (A + 1)$,带宽受到输入电容的限制约为 $1 / (R_{in} \cdot C_{in}) = (A + 1) / (R_f \cdot C_{in})$,其中 C_{in} 是光探测器和基本放大器的输入电容, A 是基本放大器的增益,可见增益与带宽都受到 R_f 的制约。在高增益、高带宽的情况下往往不能同时满足增益和带宽的要求。本次设计采用了如图 2 所示的共基输入结构。

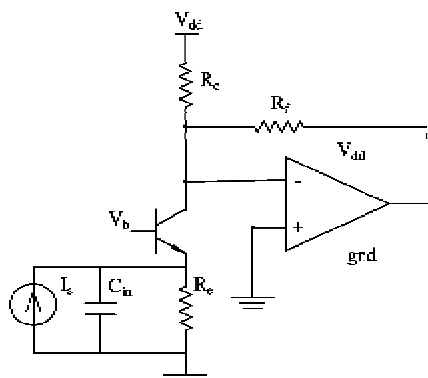


图 2 共基输入跨阻放大器

在跨阻放大器与输入电容之间增加的共基放大器具有以下优点:(1)有效地降低了前置放大器的等效输入电阻,抑制了大输入电容对前置放大器带宽的影响;(2)很好地隔离了输入电容,使得跨阻放大器输入电容仅是共基管的集电极电容,基本放大器的输入电容远小于 C_{in} ,因而带宽得到了很大的提高。此外,跨阻放大器中的基本放大器采用共集-共发-共基的组合结构以最大限度地扩展带宽。由放大器的基本理论可知,三种基本组态放大器中,共集和共基组态放大器的带宽远大于共发组态放大器的带宽,因此多级放大器的带宽取决于共发放大器。在这个电路中,共集电路小的输出阻抗作为共发电路的源阻抗以及共基电路小的输入电阻,有效克服了共发

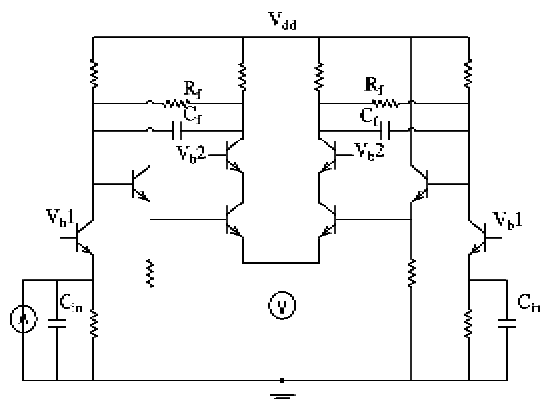


图 3 前置放大器电路

电路中的密勒倍增效应,使得共发电路亦即组合电路的带宽得到了有效扩展,同时共基电路的电流续接作用给出了几乎无损耗的电路增益。为了有效地提高电路的电源电压抑制比,增大电路对高阶失调的抑制能力,采用了如图 3 所示的差分结构。

1.2 限幅放大器设计

限幅放大器的框图如图 4 所示。本次设计的限幅放大器由两级宽带放大单元、输入输出缓冲与直流偏移消除单元构成。由于采用全差分结构,有效抑制了电源噪声与温度效应。

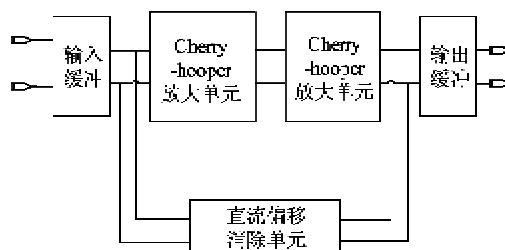


图 4 限幅放大器框图

本次设计采用射随器作为级间缓冲,有效隔离了后级电路的电容负载,提高了电路的带宽。为了进一步扩展电路的带宽,宽带放大单元采用改进型的 Cherry-Hooper 结构^[11](图 5)。单级的放大单元由跨导放大器与跨阻放大器组成,跨阻放大器上的电压并联负反馈降低各极点的等效阻抗扩展了带宽。相比于经典的 Cherry-Hooper 结构^[12],反馈路径中引入射极跟随器降低了对电压裕度要求,同时射极跟随器大的输入电阻减小了对环路增益的影响。

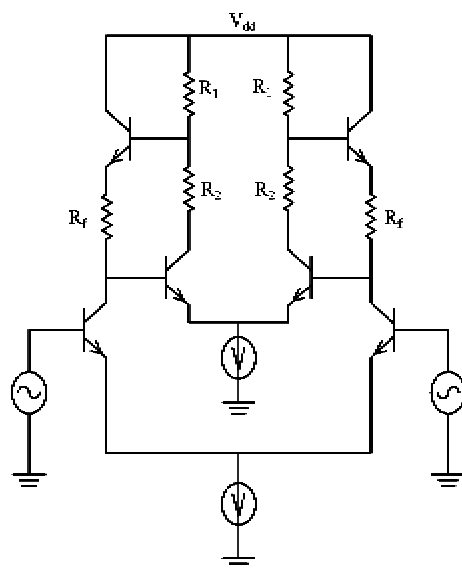


图 5 Cherry-Hooper 放大单元

直流偏移消除单元采用了两级共源放大器的形式(图 6),增大了电路在低频时的环路增益,减少了直流偏移消除单元在限幅放大器输出端产生的负载影响。输入端 RC 低通滤波器电容由等效密勒电容来代替,增大了等效电容值。

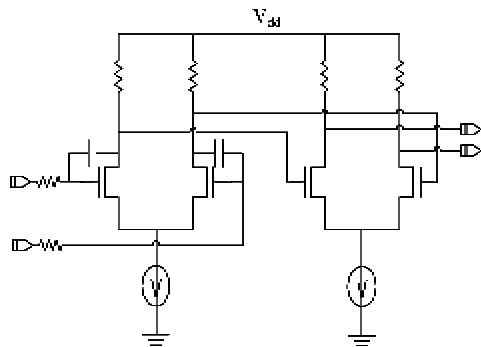


图 6 直流偏移消除单元

1.3 伪差分-全差分转换电路

虽然前置放大器采用了差分结构,但由于输入电流信号平均分量的存在导致其双端输出信号的共模电平并不一致,因此不能直接输出到后续限幅放大器中。本次设计采用 RC 的低通电路提取信号的直流分量并与原来的信号相减,实现了伪差分信号到全差分信号的转换,电路如图 7 所示。

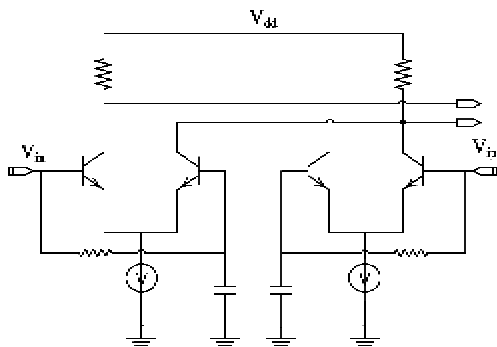


图 7 伪差分-全差分转换电路

2 测试结果

本芯片采用 Jazz 0.35 μ m BiCOMS 工艺进行制造,芯片显微照片如图 8 所示。芯片总体面积为 0.467mm²,仅为文献[10]总面积的 14%。测试条件所限本次测试采用电压信号代替了电流信号,图 9 为输入 25mV 电压信号的差分输出眼图。由图 9 可见,前端放大器在 10Gbps 速率下眼开度良好,眼皮较薄,抖动较小,整个眼图清晰对称。本次设计采用

廉价的工艺实现了工作在 10Gb/s 速率上的前端放大器,其总体功耗为 158mW,大约是文献[10]的一半。如果根据后仿真中功耗分布比来计算,那么限幅放大器的功耗为 87mW,前置放大器的功耗仅为 71mW,而文献[7-9](仅含前置放大器)的功耗高达 300mW 以上,可见本次设计的前端放大器功耗是非常低的。

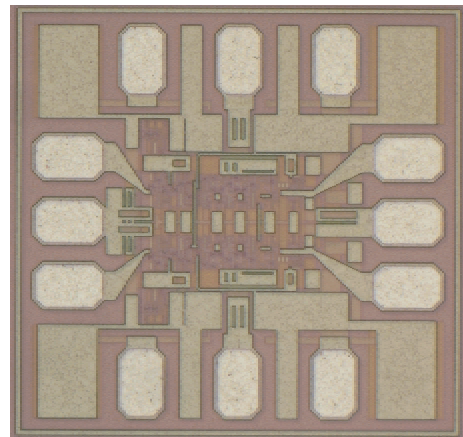


图 8 前置放大器芯片照片

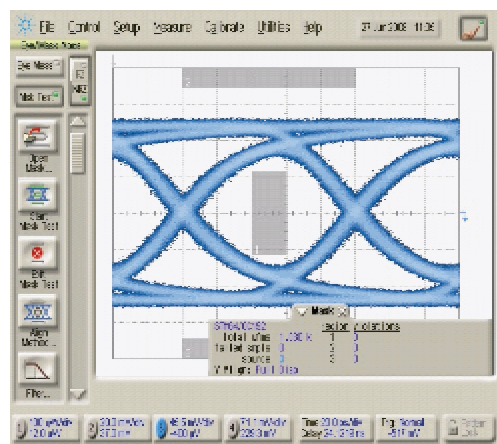


图 9 输入 25mV 电压信号的差分输出眼图

3 结论

采用 0.35 μ m SiGe BiCMOS 工艺实现了 10Gb/s 光接收机前端放大电路。测试结果表明,在输入信号电压为 25mV 时得到清晰对称的眼图,能够稳定工作在 10Gb/s 的速率上。

参考文献

- [1] Chen W L, Cheng Y L, Lin D S. A 1.8-V 10-Gb/s fully integrated CMOS optical receiver analog front-end. *IEEE Journal of Solid-State Circuits*, 2005, 40(6): 1388-1396

- [2] Galal S, Razavi B. 10-Gb/s limiting amplifier and laser/modulator driver in 0.18- μ m CMOS Technology. *IEEE Journal of Solid-State Circuits*, 2003, 38(6): 2138-2146
- [3] Wu C, Lee C, Chen W, et al. CMOS wideband amplifiers using multiple inductive-series peaking technique. *IEEE Journal of Solid-State Circuits*, 2005, 40(2): 548-552
- [4] Shammugasamy B, Zulkifli T Z A. A 10-Gb/s fully balanced differential output transimpedance amplifier in 0.18- μ m CMOS technology for SDH/SONET application. *IEEE Asia Pacific Conference*, 2008, 684-687
- [5] Zhu X, Wang J, Pavlidis D. InP/GaAsSb/InP DHBT monolithic transimpedance amplifier with large dynamic range. In: Proceedings of the 13th Gallium Arsenide and Other Semiconductor Application Symposium, Paris, France, 2005. 141-144
- [6] Mullrich J, Thurner H, Mullner E et al. High-gain transimpedance amplifier in InP-based HBT technology for the receiver in 40-Gb/s optical-fiber TDM links. *IEEE Journal of Solid-State Circuits*, 2000, 35(9): 1260-1265
- [7] Hitoshi I, Tomoyuki O, Masanori T, et al. An auto-gain control TIA with low noise and wide input dynamic range for 10 Gb/s optical systems. *IEEE Journal of Solid-State Circuits*, 2001, 36(9): 1303-1308
- [8] Kenichi O, Toru M, Kazuo I, et al. A wide-dynamic-range, high transimpedance Si-bipolar preamplifier IC for 10 Gb/s optical links. *IEEE Journal of Solid-State Circuits*, 1999, 34(1): 18-24
- [9] Adrian M. A 10Gb/s SiGe transimpedance amplifier using a Pseudo-Differential input stage and a modified Cherry-Hooper amplifier. Symposium On VLSI Circuits Digest of Technical Papers, 2004: 404-407
- [10] Adrian M. A 54dB + 42dB 10Gb/s SiGe transimpedance-limiting amplifier using bootstrap photodiode capacitance neutralization and vertical threshold adjustment. *IEEE Journal of Solid-State Circuits*, 2007, 42(9): 1851-1864
- [11] Chris D H, James W H, Michael W L. Analysis and design of HBT Cherry-Hooper amplifiers with emitter-follower feedback for optical communications. *IEEE Journal of Solid-State Circuits*, 2004, 39(11): 1959-1967
- [12] Razavi B. Design of Integrated Circuits for Optical Communications. New York: McGraw-Hill Higher Education, 2002. 136-139

Design of a 10Gb/s 0.35 μ m SiGe BiCMOS front-end amplifier using a pseudo-differential common-base input stage

Chen Zhun, Feng Jun, Wang Yuanzhuo

(Institute of RF-& OE-ICs, Southeast University, Nanjing 210096)

Abstract

A 10Gb/s front-end amplifier for optical receivers was realized in a 0.35 μ m SiGe BiCMOS technology. It combines a preamplifier and a limiting amplifier and both of them are realized with the differential architecture. The preamplifier consists of a common base input stage and a parallel negative feedback amplifier. The common-collector-common-emitter-common-base configuration is used to expand the bandwidth of basic amplifiers in transconductance amplifiers. The limiting amplifier consists two stages of Cherry-Hooper architecture. The chip die area is only 0.47mm². The measurement result shows that the total power dissipation is 158mW with the supply voltage of 3.3V. With a 25mV input signal a clear and symmetric eye-diagram can be obtained.

Key words: optical fiber communication, preamplifier, limiting amplifier, Cherry-Hooper architecture, 0.35 μ m SiGe BiCMOS technology, common-base