

超高速低功耗 CMOS 4:1 复接器^①

冯 军^② 管 忻 李育军

(东南大学射频与光电集成电路研究所 南京 210096)

摘 要 研究了在特定工艺条件下进行高速低功耗集成电路设计的相关问题,包括结构设计、电路设计和工艺角的影响。提出用 CMOS 逻辑电路完成超高速电路设计的思想,利用 CSM 0.35 μm CMOS 工艺设计完成了速率为 3.125Gb/s 的 4:1 复接器芯片。该系统采用树型结构,由两个并行的低速 2:1 复接单元和一个高速 2:1 复接单元级联而成。核心电路锁存器在低速单元中用带有电平恢复的 4_T 电路构成,在高速单元中用动态传输门构成;选择器则用 CMOS 传输门构成的双路开关实现,每一电路都只用 4 只晶体管实现。芯片面积为 0.39mm²。芯片测试结果表明:在 3.3V 电源电压下,芯片核心功耗低于 40mW,最高工作速率可达 4Gb/s。

关键词 CMOS 逻辑,复接器,超高速,低功耗,工艺角

0 引 言

复接器的作用是将多路低速信号复接成一路高速信号。目前国内外发表的高速率复接芯片大都采用 Si bipolar、SiGe、GaAs、InP 等工艺实现^[1-3]。它们的缺点是成本高、功耗大、集成度低和工艺不易获得。互补金属氧化物半导体(CMOS)工艺则以其制造成本低、集成度高、功耗低且可与低速率大规模集成电路设计兼容等优点,逐渐被人们认可、接纳甚至青睐。目前随着 CMOS 工艺水平的提高、特征尺寸的减小,深亚微米工艺已经可以实现 Gb/s 级别的芯片^[4,5],但是几乎都是采用源极耦合场效应晶体管逻辑(source coupled field effect transistor logic, SCFL)电路或同时采用各种补偿电路实现。而本文则欲利用一直以来作为低速数字电路设计的低功耗 CMOS 电路进行高速设计,求证在特定工艺情况下可能的最高工作速率,为今后在设计中对 SCFL 电路的高速、高功耗和 CMOS 逻辑电路的低速、低功耗的折衷考虑提供依据。因此将有很大的实际意义。

1 设计难点

本设计欲采用 Chartered 0.35 μm CMOS 工艺完成适用于以太网 3.125Gb/s 工作速率的复接器。一

般来说,在特定工艺条件下,实际的集成电路设计中,设计完成一定功能的电子电路的关键一是构成电路的器件的参数选择,二是电路拓扑结构的选择。

对于器件,管子的特征参数 f_T 限制了电路可工作的最高工作速率,一般而言在 f_T 的 1/5 至 1/10。此工艺的特征频率只有 13GHz,因此要完成 3.125Gb/s 速率的复接器电路设计,其最高工作速率接近管子特征频率的 1/4,此为难点之一。另外,特征频率 f_T 又与管子的工作点电流有关,提高工作点电流在增加 f_T 值的同时电路的功耗也会随之增加,这是与设计要求相悖的。

对于电路设计,近年来 SCFL 电路以其速度快、带负载能力强、电路结构对称、抗干扰能力强和设计灵活等优点在超高速电路设计中成为设计者的首选^[4-6],但在 CMOS 电路能够达到的速率级别,其功耗处于绝对的劣势。然而 CMOS 数字逻辑电路的高速、低功耗设计一直是由按比例缩小理论所支撑,短短几年,CMOS 工艺已从 0.35 μm 、0.18 μm 发展到 0.13 μm 甚至 0.06 μm ,伴随工艺水平的提高 f_T 增高,电源电压降低。可见这里的高速、低功耗是以提高制造工艺的水平为代价的。因此本设计在特定(0.35 μm)工艺情况下,进行核心电路的 CMOS 电路设计,没有高工艺的支撑,不可借用 SCFL 的高速性能,要达到一定的速率(3.125Gb/s),这是设计的难

^① 863 计划(2001AA312010, 2006AA01Z284)资助项目。

^② 女,1953 年生,教授;研究方向:超高速集成电路设计;联系人, E-mail: fengjun_seu@seu.edu.cn (收稿日期:2009-08-21)

点之二。

再有,在 CMOS 逻辑电路设计中,工艺一定的情况下,门电路的功耗为 $P = fCV_{DD}^2$,显然提高速度,必然增加功耗,意欲使这两方面性能均能得到提高是设计的难点之三。

2 整体结构考虑

复接器可以采用三种基本结构(串行、并行、树型)或它们的组合来实现。其中,树型结构可由两个低速 2:1 复接器和随后的一级高速 2:1 复接器构成,因此高速工作的电路只在最后一级和第一级分频器,其它电路均可在低一半的速率上工作。所以电路设计可以分级考虑,对高速模块和低速模块分别进行速度和功耗的优化,以得到低功耗和高速率间的最佳权衡。

本文整体结构即采用树型结构,4:1 复接器的结构框图如图 1 所示。两个低速 2:1 复接器将四路 781Mb/s 的随机信号合成两路 1.56Gb/s 的信号,然

后送给后级高速 2:1 复接器,得到一路 3.125Gb/s 的高速信号输出。

由于本设计采用 CMOS 逻辑实现是一次探索性的研究,而该功能模块是“十五”863 项目中的一部分^[7,8],因此又希望接口部分满足系统要求。在系统中,要求各功能模块间均采用伪电流模式逻辑(pseudo current mode logic, PCML)电平作为输入输出接口电平,再考虑到单芯片设计的测试要求,所以在结构框图中增加了输入、输出的缓冲电路,用以完成高速接口的传输线匹配、不同逻辑间的电平转换和双端输出的要求。

由图 1 可见,每个 2:1 复接单元由 5 个锁存器(Latch)和 1 个选择器(Sel)组成。因为设计的锁存器在逻辑上有取反的作用^[9],所以对于由 3 个锁存器组成的数据通道来讲,其输入数据必须是原数据的非量。因此数据缓冲的设计相应分为两种:输出逻辑为原量和非量(图 1 中后缀注释为 Buf 和 Buf_n)。时钟通路中的 Buf 起延时作用,确保数据选择器在输入数据的中心采样,以获得足够大的相位裕度。

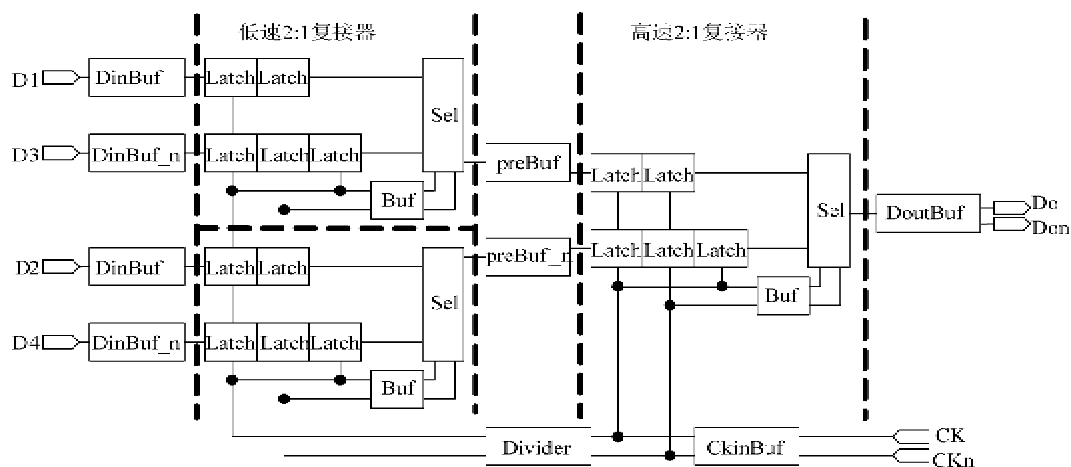


图 1 4:1 复接器结构框图

3 核心电路

在高速复接器核心电路的设计中,我们曾尝试采用混合逻辑,即高速单元采用 SCFL 电路,两个低速单元采用 CMOS 逻辑电路来实现复接器^[10]的设计,如此确实可以大幅度地降低整体功耗,这是从整体结构考虑减小功耗的一种方法。本文则采用全 CMOS 逻辑电路进行设计,以进一步降低功耗。又考虑到动态 CMOS 逻辑的工作速度比静态 CMOS 逻辑高,因此高、低速锁存器分别采用动态和静态 CMOS 逻辑实现^[9]。在高速 2:1 复接中采用动态传

输门锁存器,电路如图 2 所示。低速复接器中采用带有电平恢复管的 4_T 锁存器,电路如图 3 所示。

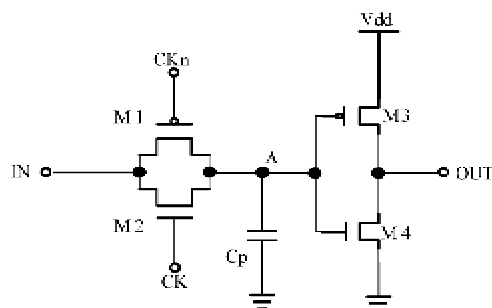


图 2 动态传输门锁存器

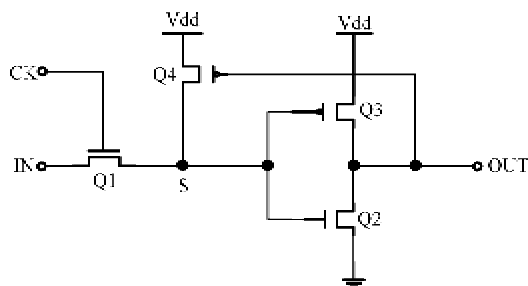


图 3 带电平恢复管的 4_T 锁存器

与低速复接单元常用的准静态 CMOS 锁存器^[11]相比较,带有电平恢复管的 4_T 锁存器所需晶体管数目减少了一半。仿真结果表明后者能有效节省功耗(30%)和面积(25%),同时不会影响工作速率^[11],可见在超高速电路设计中,在完成功能和性能指标的前提下,简化电路和减少晶体管数是降低功耗、减小面积的电平优化思路之一。

在低速和高速 2:1 复接器中,选择器都采用由两个 CMOS 传输门组成的多路开关电路,如图 4 所示。在时钟信号的控制下,输出并联的上下两个传输门轮流打开,将输入信号交替连通到输出节点,实现选择输出的功能。

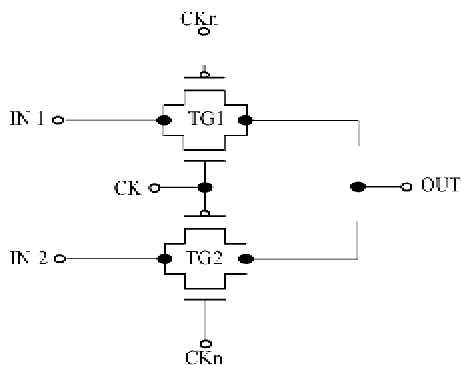


图 4 CMOS 传输门选择器

本文设计的锁存器、选择器都需避免时钟重叠,因此采用如图 5 所示的时钟缓冲电路。虚框内的两个反相器形成正反馈,以提高输出信号的转换速度,同时保证时钟信号的占空比为 50%。

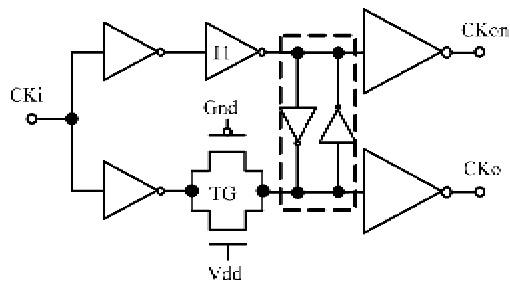


图 5 CMOS 时钟缓冲

4 工艺角的影响

集成电路设计是电路设计工程师和工艺设计工程师紧密配合、完美合作的结晶。工艺设计工程师在相关的设计文件中将提供一整套与工艺相关的资料,设计者必须在充分了解的基础上开始设计工作。而在芯片设计中,要想一次流片并得到一个满足性能指标的电路,仅仅在 TT(正常)工艺角的情况下进行仿真分析往往是不够的,有时工艺角的影响将直接导致电路拓扑结构的推翻重来。本次设计中 PCML 电平经电平位移后需转换成 CMOS 电平。传统的方法是采用反相器链放大整形输出。可是在对反相器链的仿真后发现,正常情况下,电路输出可以是端到端的满摆幅工作,但在工艺角的范围内电路会出现锁定在高电平或者低电平的情况,如此将造成不稳定的工作。进一步深入的研究是对反相器传输特性进行的仿真分析,仿真结果如图 6 所示。由图可见三种情况下反相器的开关阈值 V_{th} 分别为:FS 工艺角 1.47V;TT 工艺角 1.68V;SF 工艺角 1.9V。从 FS 工艺角到 SF 工艺角,反相器开关阈值的差值竟然达到了 430mV,超过了输入时钟信号的单端摆幅(400mV)。因此为使最坏情况(高温、SS 工艺角)下电路仍然能够工作,本文改用如图 7 所示的电平转换电路^[9,12]。

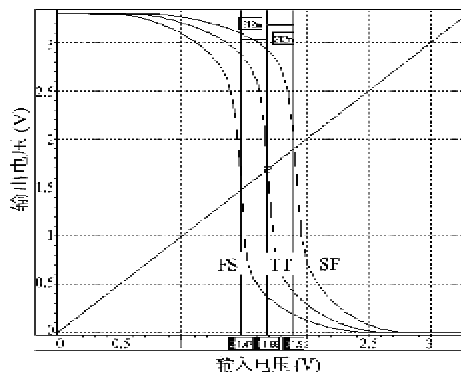


图 6 FS、TT、SF 工艺角情况下反相器的 VTC 曲线

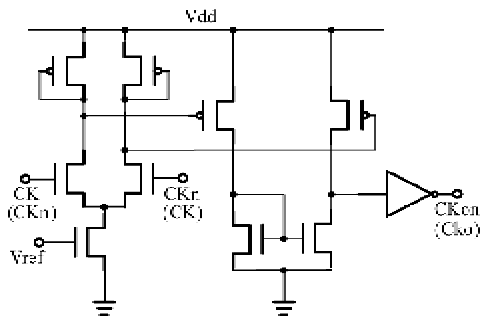


图 7 时钟电平转换电路

图 8 给出最坏情况(SS 工艺角、 70°C)下电路工作在 4Gb/s 速率的前仿真结果眼图。

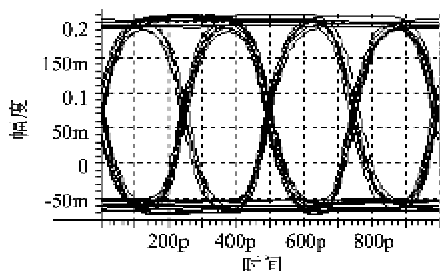


图 8 最坏情况下 4Gb/s 输出前仿真眼图

5 芯片版图和测试结果

电路仿真采用 CSM(chartered semiconductor manufacturing)提供的 $0.35\mu\text{m}$ 工艺 CMOS 混合信号模型,前仿真使用 Synopsys 公司的 Hspice 软件,进行了各种极端情况下的电路仿真。版图在 Cadence 环境下完成设计,芯片后仿真使用 Spectre 软件。图 9 是复接器芯片的照片,芯片面积为 $0.63\text{mm} \times 0.61\text{mm} = 0.39\text{mm}^2$ 。

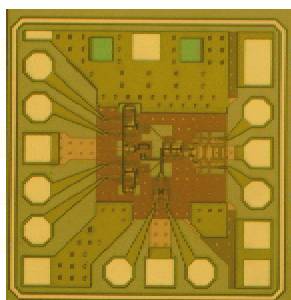


图 9 复接器芯片照片

芯片的测试工作是在东南大学射光所的测试平台上完成的。首先对复接器的逻辑功能进行测试。测试条件:在复接器的四个输入端分别加入固定编码的码流,四个输入端 D1、D2、D3、D4 的码字为 (00001111)、(01100000)、(01101000)、(01001011),时钟频率 1.5625GHz ,复接器正确的输出码字应为 0000,0111,0110,0000,1011,1000,1001,1001。图 10

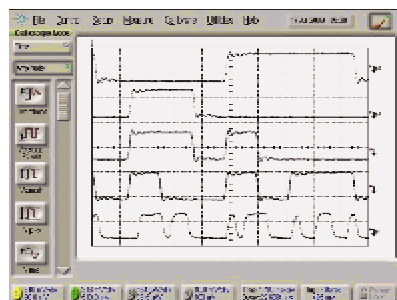


图 10 复接器逻辑功能验证

给出复接器相应各端口的波形。可见,复接芯片在 3.125Gb/s 速率上的功能是正确的。

然后将四路输入信号更改为伪随机序列,观察复接器输出端得到的结果眼图。图 11 显示的是带有 STM16/OC48 模版的 2.5Gb/s 的复接输出眼图。芯片能够达到的最高工作速率是 4Gb/s ,图 12 给出了此速率下的复接输出眼图。

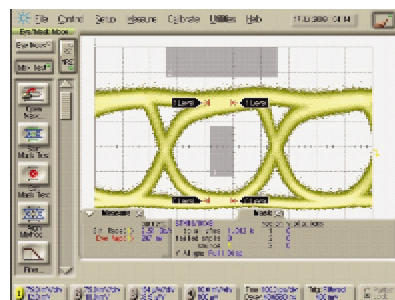


图 11 2.5Gb/s 的复接输出眼图

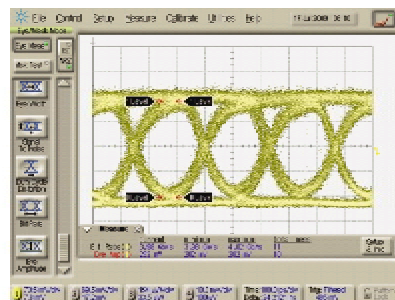


图 12 4Gb/s 的复接输出眼图

6 结论

本文介绍了一款采用 Chartered $0.35\mu\text{m}$ CMOS 工艺,核心电路全部采用 CMOS 逻辑设计实现的 4:1 复接器芯片。芯片中,低速复接单元采用带有电平恢复的传输管逻辑实现,高速复接单元采用动态传输门逻辑实现。电路设计中采用的具体锁存器、选择器都只需要 4 只晶体管,有效节省了电路功耗和芯片面积。

测试结果表明,在 3.3V 电源电压情况下,该复接器可以稳定工作在 3.125Gb/s 和 2.5Gb/s 的速率上,因此既适用于万兆以太网 IEEE 802.3ae 10GBASE-X 的速率级别,又可用于光纤传输系统 SDH STM-16 的速率级别。

该复接器最高工作速率可达 4Gb/s ,输出信号单端峰-峰值 300mV , 3.3V 电源电压情况下,核心 CMOS 电路功耗小于 40mW ,电路总功耗 180mW ,大

部分被消耗在阻抗匹配和电平转换电路中。

该芯片的测试成功,意味着 f_T 只有 13GHz 的 0.35 μm CMOS 工艺可以让 CMOS 电路在处理非归零 (nonreturn-to-zero, NRZ) 信号时的工作速率达到或超过 4Gb/s。

参考文献

- [1] Ishii K, Nosaka H, Ida M, et al. 4-bit Mux/Demux chip set for 40-Gbit/s optical communication systems. *IEEE Transactions on Microwave Theory and Techniques*, 2003, 51(11): 2181-2187
- [2] Fujii M, Numata K, Maeda T, et al. A 150 mW 8:1 MUX and a 170 mW 1:8 DEMUX for 2.4 Gb/s optical-fiber communication systems using n-AlGaAs/i-InGaAs HJFET's. *IEEE Transactions on VLSI Systems*, 1998, 6(1):43-46
- [3] Fukashi M, Nakamura S, Tajima A, et al. A 2.125Gb/s BiCMOS fiber channel transmitter for serial data communications. *IEEE Journal of Solid-State Circuits*, 1999, 34(9): 1325-1330
- [4] Kanda K, Yamazaki D, Yamamoto T, et al. 40Gb/s 4:1 MUX/1:4DEMUX in 90nm standard CMOS. ISSCC 2005/ Session 8
- [5] Chien J C, Lu L H. A 15-Gb/s 2:1 Multiplexer in 0.18 μm CMOS. *IEEE Microwave and Wireless Components Letter*, 2006, 16(10):558-560
- [6] Kehrer, D Wohlmuth H D. A 30-Gb/s 70-mW one-stage 4:1 multiplexer in 0.13 μm CMOS. *IEEE Journal of Solid-State Circuits*, 2004, 39(7):1140-1147
- [7] Feng J, Wang Z G, Wang H, et al. 2.5Gb/s monolithic ICs for optical fiber transmitter and receiver in 0.35 μm CMOS process. *Journal of Southeast University (English Edition)*, 2005, 21(3):268-271
- [8] 冯军, 时伟, 缪瑜等. 2.5Gb/s 混合集成光发射机. 半导体学报, 2006, 27(9):1681-1685
- [9] 管忻, 冯军. 低功耗 0.35 μm 3.125Gb/s CMOS 4:1 复接器. 电子器件, 2007, 30(2):411-414
- [10] 缪瑜. 0.18 μm CMOS 10Gb/s 4:1 复接器设计: [硕士学位论文], 南京: 东南大学无线电系. 2006, 30-36
- [11] Qiu X H, Chen H Y. Discussion on the low-power CMOS latches and flip-flops. In: Proceedings of the 5th International Conference on Solid State and Integrated Circuit Technology Proceedings, Beijing, China, 1998. 477-480
- [12] Ken M. Digital Integrated Circuit Design. 北京电子工业出版社, 2002. 449-451

Ultrahigh-speed low-power CMOS 4:1 multiplexer

Feng Jun, Guan Xin, Li Yujun

(Institute of RF & OE ICs, Southeast University, Nanjing 210096)

Abstract

This paper is relating to the research on the subject of ultrahigh-speed low-power IC design in a certain process, including the framework design, the circuit design and the effect of corner. A 3.125Gb/s 4:1 multiplexer implemented in the CSM 0.35 μm CMOS process is reported. The core circuits are realized using CMOS logic circuits. The system adopts the tree-type structure, and it is composed of two parallel low speed 2:1 multiplexers and a high speed 2:1 multiplexer. The level restoration 4-T circuit is proposed for the low speed cell while the dynamic transmission gate logic for the high speed cell. The selector adopts the CMOS transmission gate. Each of the core circuits takes 4 transistors only. The die area is 0.39mm². The test results show that the core power consumption is lower than 40mW at a supply voltage of 3.3V. The highest rate of output data is up to 4Gb/s.

Key words: CMOS logic, multiplexer, ultrahigh-speed, low power, corner