

多级锐化的梳状抽取滤波器^①刘 全^② 高 俊 黄高明

(海军工程大学电子工程学院 武汉 430033)

摘 要 针对传统的递归型级联积分-梳状抽取滤波器(CICDF)频响特性不理想、功耗较大、最大电路速率受限等问题,提出了一种多级锐化的梳状抽取滤波器(MSCDF)。该滤波器利用降序素数分解和部分多相分解相结合的方法将 CICDF 转化为多级多相结构以降低功耗和放宽对电路速率的限制,并从第二级开始逐级进行锐化处理从而使抽取器的频响得到改善。仿真结果表明,在抽取因子为非素数的情况下,MSCDF 不仅能够有效地改善 CICDF 的通带衰减和混叠抑制性能,而且与频响相近的完全锐化抽取器(FSCDF)相比,功耗更小,最大电路速率更高。

关键词 抽取,梳状滤波器,素数分解,多相分解,锐化

0 引 言

级联积分-梳状(cascaded integrator-comb, CIC)滤波器具有无需乘法器、存储空间占用少等优点,因而常被应用于多采样率信号处理系统中的抽取和插值过程^[1]。软件无线电中常用的集成电路,如 $\Sigma\Delta$ 模数转换器(sigma-delta analog to digital converter, $\Sigma\Delta$ ADC)、数字下变频器等,其内部的抽取模块大都是利用传统的递归型 CIC 滤波器与抽取开关直接级联构成 CIC 抽取滤波器(CIC decimation filter, CICDF)来设计完成的^[2-6]。然而,随着应用要求的逐渐提高,CICDF 本身暴露出来的问题也越来越受到人们的重视:一方面,电路性能较差,主要体现在功耗过高、最大电路速率受限,严重地制约了 $\Sigma\Delta$ ADC 等集成电路对低功耗、高速率的要求,其根本原因在于 CIC 滤波器的递归部分工作在最大输入采样率下,运算量很大,而且由于递归环路的影响使得其寄存器字长(即比特位数)也很大^[7, 8]。针对此问题,近期的文献中提出了多种非递归结构如 FIR2, POLY-FIR2 等,用于降低梳状抽取器的功耗,并提高整个电路的速率,但其抽取因子大都仅局限于 2 的整数次幂^[4, 7, 9, 10]。另一方面, CICDF 的频率响应很难同时满足系统对于通带衰减和混叠抑制的要求,这主要是因为可调参数非常有限,即使采用 5 级级联,其混叠抑制比也只有几十分贝(dB),而且随着级数

的增加,带内有效成分的波动特性将急剧恶化。解决这一问题的最直接方法是在 CICDF 后级联有限脉冲响应(finite impulse response, FIR)滤波器,如文献中提出的内插二阶多项式(interpolated second-order polynomials, ISOP)滤波器^[11]、Sin 补偿滤波器^[12]等可有效减小通带衰减, Cosine 滤波器^[13]可增大混叠抑制比,但是功耗和复杂度也随之上升,而且对电路速率的限制较大,其它的方法如文献[14]提出的完全锐化梳状抽取滤波器(full-sharpened comb decimation filter, FSCDF),虽然可同时改善通带和阻带特性,但却是以高功耗、低速率为代价换来的。

针对以上两个方面的问题,本文提出了一种多级锐化的梳状抽取滤波器(multistage sharpened comb decimation filter, MSCDF),该滤波器利用素数分解和多相分解的多级结构改善电路特性,并通过逐级锐化处理改善频响特性。对其功耗、电路速率以及频响特性进行的仿真和分析。结果表明,其性能良好,适用于对复杂度、频率响应、功耗及电路速率都有较高要求的应用场合。

1 CIC 抽取滤波器

传统的递归型梳状抽取滤波器,又被称为 CIC 抽取滤波器(CICDF)(如图 1 所示),其传递函数定义为

① 中国博士后科学基金(20080431379)资助项目。

② 男,1985 年生,博士生;研究方向:认知无线电,多采样率信号处理;联系人, E-mail: Alex-hjgc@163.com; liuquan_hjgc@gmail.com (收稿日期:2009-08-26)

$$H(z) = \left(\frac{1 - z^{-M}}{1 - z^{-1}} \right)^N \quad (1)$$

相应的频率响应函数为

$$H(f) = \left(\frac{\sin(M\pi f)}{\sin(\pi f)} e^{-j(M-1)\pi f} \right)^N \quad (2)$$

其中, M 是抽取因子, N 是级联因子, f 是相对于输入采样率 f_s 的归一化频率。

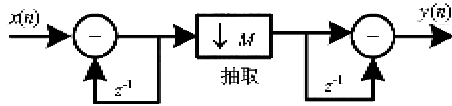


图1 CICDF 结构

2 多级锐化的梳状抽取器

对式(1)进行恒等变换,可得到 CICDF 的非递归结构形式:

$$H(z) = \left(\sum_{i=0}^{M-1} z^{-i} \right)^N \quad (3)$$

文献[4]提出并证明了抽取滤波器的功耗和最大电路速率可分别用式

$$PWR = \sum_{l=1}^L \frac{Pa_l \times W_{lnl}}{\prod_{j=1}^l M_j} \quad (4)$$

和式

$$f_{s\max} = 1 / \text{Max}_{l=1 \cdots L} \left(\frac{\log_2(Pa_l \times W_{lnl})}{\prod_{j=1}^l M_j} \right) \quad (5)$$

进行估计,其中, PWR 表示功耗, $f_{s\max}$ 表示最大电路速率, L 是滤波器的总的级联级数, Pa_l 是其中第 l ($l = 1, 2, \dots, L$) 级用于求和的部分积数目, W_{lnl} 是第 l 级的输入字长, M_j 是第 j ($j = 1, 2, \dots, l$) 级的抽取因子。由此可知,要降低抽取滤波器的电路功耗,并提高最大电路速率,应当尽可能地减少每一级求和的部分积数目和输入字长,并及早地降低采样率^[4,7,15]。

文献[16]提出的升序素数分解结构(如图2所示),将非素数抽取因子 M 分解成 $M = 2^P 3^Q 5^R 7^S 11^T \dots$, 然后利用电路交换特性(multirate noble identity),使 CICDF 转换成多级级联的非递归结构,且每一级的抽取因子都是素数。这种结构消除了反馈环路所带来的不必要的二进制字长增长,采样率逐级降低,所以,当 M 是非素数时,其功耗比递归结构低很多。与其它非递归结构如 FIR2, POLY-FIR2 相比,它的突出优点在于抽取因子不再局限于 2 的整数次幂,而且当 M 满足素数分解条件

(即 M 为非素数)时,即可获得较低的功耗和较高的最大电路速率^[17]。

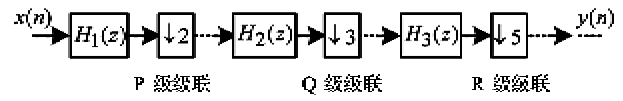


图2 升序素数分解结构

实际上,这种结构还可进一步优化,图3即为经过改进后的多级锐化抽取器结构MSCDF。进行素

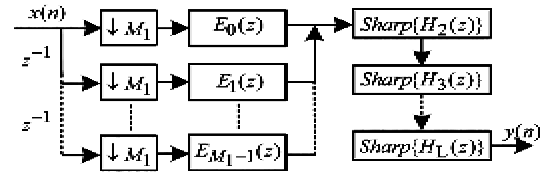


图3 多级锐化的抽取结构(MSCDF)

数分解时,将素数因子进行降序排列,使较大的因子尽量提前,即

$$M = M_1 M_2 \cdots M_L \quad (6)$$

其中, $M_1, M_2, \dots, M_L$ 都是素数,且 $M_1 \geq M_2 \geq \dots \geq M_L$ 。根据电路交换特性,对 CICDF 进行等效变换:

$$\begin{aligned} H(z) &= \left(\frac{1 - z^{-M}}{1 - z^{-1}} \right)^N \\ &= \left(\frac{1 - z^{-M_1}}{1 - z^{-1}} \right)^N \left(\frac{1 - z^{-M_1 M_2 \cdots M_L}}{1 - z^{-M_1}} \right)^N \\ &= H_1(z) X_1(z^{M_1}) \end{aligned} \quad (7)$$

$$\begin{aligned} X_1(z) &= \left(\frac{1 - z^{-M_2 \cdots M_L}}{1 - z^{-1}} \right)^N \\ &= \left(\frac{1 - z^{-M_2}}{1 - z^{-1}} \right)^N \left(\frac{1 - z^{-M_2 \cdots M_L}}{1 - z^{-M_2}} \right)^N \\ &= H_2(z) X_2(z^{M_2}) \end{aligned} \quad (8)$$

$$\begin{aligned} X_2(z) &= \left(\frac{1 - z^{-M_3 \cdots M_L}}{1 - z^{-1}} \right)^N \\ &= \left(\frac{1 - z^{-M_3}}{1 - z^{-1}} \right)^N \left(\frac{1 - z^{-M_3 \cdots M_L}}{1 - z^{-M_3}} \right)^N \\ &= H_3(z) X_3(z^{M_3}) \end{aligned} \quad (9)$$

⋮

$$X_{L-1}(z) = H_L(z) = \left(\frac{1 - z^{-M_L}}{1 - z^{-1}} \right)^N = \left(\sum_{i=0}^{M_L-1} z^{-i} \right)^N \quad (10)$$

更进一步,在第一级引入多相分解^[9]可使这一级的采样率迅速降低,即

$$H_1(z) = \frac{1 - z^{-M_1}}{1 - z^{-1}} = \sum_{k=0}^{M_1-1} z^{-k} E_k(z^{M_1}) \quad (11)$$

其中, $E_k(z^{M_1}) = \sum_{n=0}^{N-1} h(nM_1 + k)z^{-nM_1}$.

降序素数分解和部分多相分解并没有改变 CICDF 的传递函数,但是采样率却降低得更快,这有效地控制了功耗。经过以上处理后,整个抽取滤波器中任何一级的采样率都低于输入采样率 f_s , 特别地,当 M 为素数时,不能再进行素数分解,所以抽取器只有一级,即为完全多相结构。

如图 3,当 M 是非素数时,为了改善分解后的通带波动和混叠抑制比,同时又保证实现结构不至于像文献[14]中提出的完全锐化梳状抽取结构(FSCDF)那么复杂,所以仅从第二级开始,对 MSCDF 的每一级进行最简单的锐化处理,图 4 为其中第 $l(l = 2, 3, \dots, L)$ 级的锐化处理结构:

$$H_{l\text{Sharp}}(z) = \frac{1}{M_l^{2N}} H_l^2(z) \left(3z^{-\tau} - \frac{2}{M_l^N} H_l(z) \right) \quad (12)$$

其中, τ 是为了保证线性相位而引入的群延时,并满足:

$$\tau = -(M-1)N/2 \quad (13)$$

而且为避免出现非整数时延,通常都要求 N 只能取偶数^[14]。

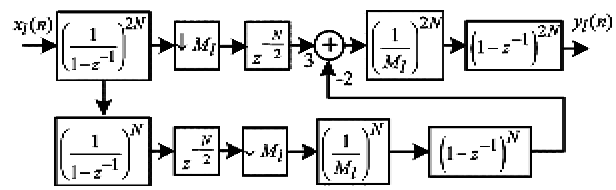


图 4 MSCDF 的第 l 级锐化处理

3 仿真结果及性能分析

抽取滤波器的频响特性通常都采用最大通带衰减 δ_p 和最差混叠抑制比 δ_s 来衡量^[11], δ_p 和 δ_s 的表达式如下:

$$\delta_p = \max_{0 \leq f \leq f_c} \left(20 \log_{10} \left| \frac{H(f)}{H(0)} \right| \right) \quad (14)$$

$$\delta_s = 20 \log_{10} \left| \frac{H(f_{A_1})}{H(0)} \right| \quad (15)$$

以 $M = 24, N = 4, f_c = \frac{1}{8M}$ 为例,抽取器被素数分解为 4 级,各级的抽取因子依次为 3, 2, 2, 2, 图 5(a)给出了 MSCDF 与文献中的 FSCDF^[14] 及 CICDF 的整体频响比较,图 5(b)和图 5(c)则分别具体比较了这三种梳状抽取器的通带衰减和第一个混叠带内的混叠抑制情况,表 1 列出了三者的 δ_p 和 δ_s 的具体结果。

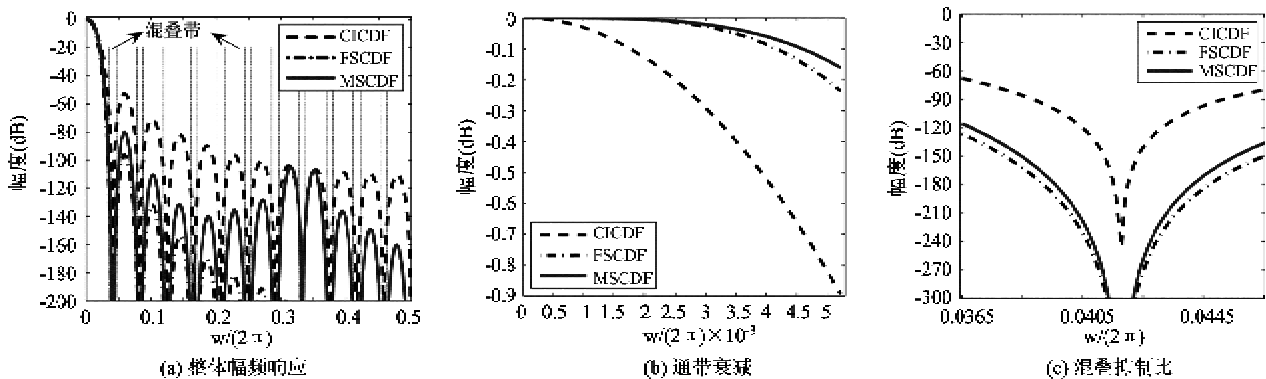


图 5 CICDF, FSCDF 和 MSCDF 的频响特性比较

表 1 三种抽取器的最大通带衰减和最差混叠抑制性能比较

抽取滤波器	最大通带衰减	最差混叠抑制比
CICDF	0.89 dB	68.01 dB
FSCDF	0.23 dB	126.49 dB
MSCDF	0.16 dB	115.63 dB

从图 5 和表 1 的结果可看出,当 M 为非素数时, MSCDF 的频响特性与 FSCDF 非常相近,由于采用了锐化处理,两者的通带衰减和混叠抑制性能较 CICDF 都有明显的改善。然而,当 M 是素数时,由

于 MSCDF 不能转化为多级锐化结构,所以频响仍旧和 CICDF 一样。

第一级多相分解采用的 FIR 结构形式对整体的功耗具有重要影响^[4]。常用的 FIR 结构形式有转置结构和直接延迟线结构,因为多相分解已经大大降低了第一级的采样率,所以采用直接延迟线结构对最大速率的限制不会太大,而且相对于转置结构具有更短的寄存器字长。在此基础上,用 Wallace 加法树将所有的部分积加法集中到一起,利用分解后子滤波器系数的对称特性可以大大减少部分积数

目^[4],表2列出了 $N=4$ 时第一级采用Wallace树对称结构实现前后的部分积数目比较。

表2 $N=4$ 时不同实现结构的第一级部分积数目比较

M_1	2	3	5	7	11	13	17	19	23
直接	8	16	40	82	164	210	302	346	508
Wallace	7	15	38	67	134	171	240	273	385

定义抽取滤波器的输入字长为 W_0 。将CICDF和FSCDF形式都划分为两级,第一级工作在输入采样率 f_s 下,第二级的采样率是 f_s/M 。由于反馈环路的影响,前后两级具有相同的字长^[1],而对于 L 级

的MSCDF,虽然级与级之间不存在反馈环路,但是第二级到最后一级的锐化处理内部仍采用了递归结构,因此第 l 级可分为前半部分和后半部分两个部分,前半部分与上级($l-1$)的后半部分工作在同一采样率下,后半部分采样率是前半部分的 $1/M_l$,而且前后两部分的输入字长相等^[17]。表3列出了三种抽取滤波器各级的抽取因子、输入字长及部分积,其中 $Pa_Wallace(M_1, N)$ 表示第一级采用Wallace树对称结构所需的部分积个数, $PaScale$ 是利用标准符号编码(canonical signed code, CSD)方法^[18](以二进制移位和加法替代乘法)表示幅度因子 $1/M_l$ 所需的部分积数目。

表3 三种抽取器各级的抽取因子、输入字长及部分积数量

抽取滤波器	抽取因子	输入字长	部分积
CICDF	$M_1 = 1, M_2 = M$	$W_{h1} = W_{h2} = W_0 + N\log_2 M$	$Pa_1 = Pa_2 = 2N$
FSCDF	$M_1 = 1, M_2 = M$	$W_{h1} = W_0 + 3N\log_2 M$ $W_{h2} = W_{h1}$	$Pa_1 = 6N,$ $Pa_2 = 3N(PaScale + 2) + 4$
MSCDF	$M_1, M_2, \dots, M_L$	$W_{h1} = W_0$ $W_{hl} = W_{h(l-1)} + 3N\log_2 M_{l-1}$	$Pa_1 = Pa_Wallace(M_1, N)$ $Pa_{2前} = \dots = Pa_{L前} = 6N,$ $Pa_{2后} = \dots = Pa_{L后}$ $= 3N(PaScale + 2) + 4$

根据式(4)、(5),可分别估计出CICDF, FSCDF和MSCDF三种抽取器的功耗和最大电路速率。以 $N=4$ 为例,图6(a)和图6(b)分别给出了三种抽取器在 $M=2\sim 64$ 区间内对应 $W_0=1\sim 6$ 的功耗和

最大速率曲线簇,表4和表5分别列出了三者 $M=2\sim 64$ 范围内对应不同输入字长时的平均功耗和平均最大速率。

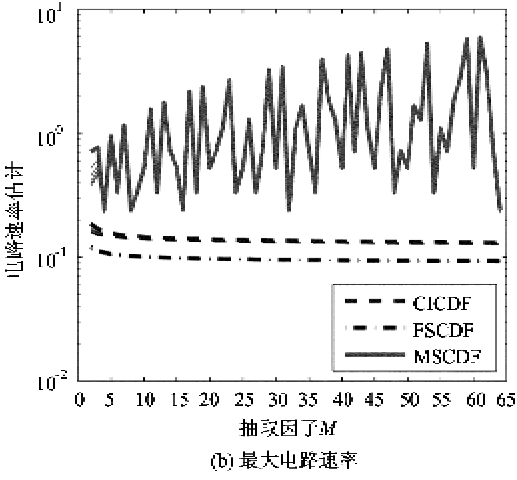
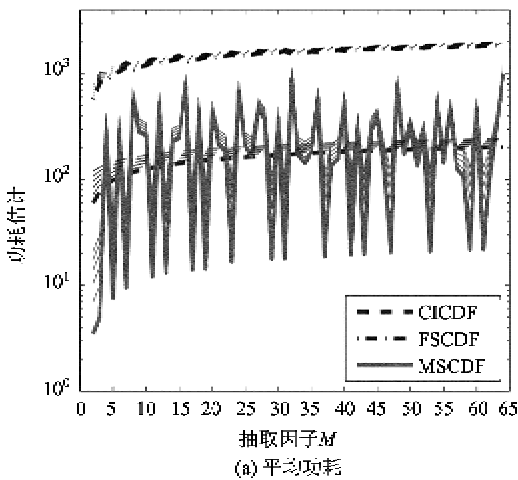


图6 CICDF, FSCDF, MSCDF 的电路性能比较

表 4 三种抽取器的平均功耗比较 ($M=2\sim 64$)

抽取器	$W_0 = 1$	$W_0 = 2$	$W_0 = 3$	$W_0 = 4$	$W_0 = 5$	$W_0 = 6$
CICDF	165.1	173.6	182.1	190.6	199.0	207.5
FSCDF	1522.7	1550.0	1577.3	1604.6	1631.9	1659.2
MSCDF	258.3	277.9	297.5	317.1	336.8	356.4

表 5 三种抽取器的平均最大电路速率比较 ($M=2\sim 64$)

抽取器	$W_0 = 1$	$W_0 = 2$	$W_0 = 3$	$W_0 = 4$	$W_0 = 5$	$W_0 = 6$
CICDF	0.1385	0.1370	0.1355	0.1342	0.1330	0.1318
FSCDF	0.0967	0.0964	0.0962	0.0959	0.0957	0.0954
MSCDF	1.4740	1.3825	1.3355	1.3016	1.2759	1.2538

图 6, 表 4 和表 5 充分说明: 随着输入字长的增加, 三种抽取器的功耗将逐渐增大, 最大电路速率将逐渐减小。CICDF 并没有综合考虑电路性能和频响特性两个方面的问题, 如果直接采用这种结构, 要获得较为理想的频响特性, 则必须级联复杂的 FIR 滤波器, 这势必会增加抽取器的设计难度, 而且其整体的功耗会随之上升, 电路速率也会受到很大限制。FSCDF 结构虽然在频响特性方面得到了很大改善, 但却牺牲了功耗和最大速率等电路性能。而 MSCDF 结构在频响特性、功耗和电路速率三者之间进行了合理的折中考虑。相对于传统的未作任何补偿滤波的 CICDF, MSCDF 的平均功耗要高一点, 但是其在频响特性以及电路速率方面的改善却非常明显。此外, 无论是在单比特输入还是多比特输入的情况下, MSCDF 的功耗和最大电路速率都要比频响特性相当的 FSCDF 改善很多, 这主要是得益于采样率的逐级降低以及不必要的字长增长的消除。

4 结 论

本文提出了一种新的梳状抽取滤波器结构 MSCDF, 对其电路性能和频响特性进行了折中考虑。研究结果表明, MSCDF 结构不仅保留了级联积分-梳状(CIC)滤波器的无乘法特性, 而且放宽了对抽取因子的限制。锐化处理技术的应用使得 MSCDF 能够大大改善传统的 CI 抽取滤波器(CICDF)通带衰减大、混叠抑制比小的问题。又由于多级多相的分解结构能够迅速降低各级的采样率并消除不必要的字长增长, 使得 MSCDF 与频响特性相近的完全锐化梳状抽取滤波器(FSCDF)相比, 功率得到了有效的控制, 最大电路速率也得以大幅度提高。因此 MSCDF 适用于对复杂度、频响、功耗及电路速率都有较高要

求的应用场合。

参考文献

- [1] Hogenauer E B. An economical class of digital filters for decimation and interpolation. *IEEE Transaction on Acoust, Speech, Signal Processing*, 1981, ASSP-29(2): 155-162
- [2] Laddomada M. Design of Multistage Decimation Filters Using Cyclotomic Polynomials: Optimization and Design Issues. *IEEE Transaction on Circuits and Systems I: Regular Papers*, 2008, 55(7): 1977-1987
- [3] Laddomada M. On the Polyphase Decomposition for Design of Generalized Comb Decimation Filters. *IEEE Transaction on Circuits and Systems I: Regular Papers*, 2008, 55(8): 2287-2299
- [4] Aboushady H, Dumonteix Y, Louerat M M, et al. Efficient polyphase decomposition of comb decimation filters in Sigma-Delta analog-to-digital converters. *IEEE Transaction on Circuits and Systems II: Analog and Digital Signal Process*, 2001, 48(10): 898-903
- [5] Dolecek G J, Harris F. Design of CIC compensator filter in a digital IF receiver. In: *Proceedings of the International Symposium on Communications and Information Technologies*, Vientiane, Lao PDR, 2008. 638-643
- [6] Presti L L. Efficient modified-sinc filters for sigma-delta A/D converters. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 2000, 47(11): 1204-1213
- [7] Gao Y, Jia L, Isoaho J, et al. A comparison design of comb decimators for sigma-delta analog-to-digital converters. *Analog Integrated Circuits and Signal Processing*, 2000, 22(1): 51-60
- [8] 李冰, 郑瑾, 葛临东. 基于多相结构和部分锐化的 CIC 抽取滤波器. *电子与信息学报*. 2007, 29(04): 1005-1008
- [9] Gao Y, Jia L, Tenhunen H. A partial-polyphase VLSI architecture for very high speed CIC decimation filters. In: *Proceedings of the 12th Annual IEEE International ASIC/SOC Conference*, Washington, DC, USA, 1999, 391-395
- [10] 窦建华, 梁红松, 胡敏等. 一种改进的 CIC 抽取滤波器设计. *系统工程与电子技术*, 2008, 30(05): 984-986
- [11] Oh H J, Kim S, Choi G, et al. On the use of interpolated second-order polynomials for efficient filter design in programmable downconversion. *IEEE Journal on Selected Areas in Communication*, 1999, 17(4): 551-560
- [12] Dolecek G J, Mitra S K. Simple method for compensation of CIC decimation filter. *Electronics Letters*, 2008, 44(19): 1162-1163
- [13] Dolecek G J, Mitra S K. A new two-stage CIC-based decima-

- tion filter. In: Proceedings of the 5th International Symposium on Image and Signal Processing and Analysis, Istanbul, Turkey, 2007. 218-223
- [14] Kwentus A, Jiang Z, Jr Willson A. Application of filter sharpening to cascaded integrator-comb decimation filters. *IEEE Transaction on Signal Processing*, 1997, 45(2): 457-467
- [15] 刘宇, 王静, 王伟伟等. 基于多相分解和曲线拟合的改进 CIC 抽取器. *数据采集与处理*, 2007, 22(02): 245-248
- [16] Jang Y, Yang S. Non-recursive cascaded integrator-comb decimation filters with integer multiple factors. In: Proceedings of the 44th IEEE Midwest Symposium on Circuits and Systems, Dayton, USA, 2001. 130-133
- [17] Lyons R G. *Understanding Digital Signal Processing*, 2nd Edition. Beijing: China Machine Press, 2005. 397-408
- [18] 孙磊, 安建平. 全加结构抽取和补偿滤波器的高效实现. *北京理工大学学报*. 2008, 28(06): 526-530

Multistage sharpened comb decimation filter

Liu Quan, Gao Jun, Huang Gaoming

(College of Electronic Engineering, Naval University of Engineering, Wuhan 430033)

Abstract

In consideration of the problems in traditional recursive cascaded integrator-comb decimation filters (CICDF), such as unacceptable frequency response, high power consumption and restricted circuit speed, the paper proposes a novel multistage sharpened comb decimation filter (MSCDF). To lower the power consumption and loosen the limitation of circuit speed, the MSCDF converts the CICDF into a multistage polyphase structure using descending prime factorization and partial polyphase decomposition, and starts the sharpening process from the second stage for improvement of the frequency response. The simulation results indicate that, when the decimation ratio is not prime, the MSCDF can effectively improve the passband droop and aliasing rejection of the CICDF, and compared with the full-sharpened comb decimation filter (FSCDF) which has the similar frequency response, it can lower the power consumption and higher maximum circuit speed.

Key words: decimation, comb filter, prime factorization, polyphase decomposition, sharpening