

新型高性能分层光片上网络^①

李 慧^{②*} 顾华奎^{③*} 杨银堂^{**}

(^{*} 西安电子科技大学 ISN 国家重点实验室 西安 710071)

(^{**} 西安电子科技大学微电子学院 西安 710071)

摘要 针对传统的片上电互连在带宽、时延等方面遇到的问题,提出一种基于光分组交换技术的分层簇的光片上网络(HCONoC)。设计了该网络的拓扑结构连接方式、布局方法、节点编址命名方法以及扩展方式等。为 HCONoC 的不同层次结构分别构建了新的无阻塞片上光路由器结构,并分析了损耗特性。根据网络拓扑的具体特点和编址方式,设计了有效的路由算法,可提高网络吞吐同时减少时延。最后,使用 OPNET 搭建仿真平台,对所提网络结构的时延和吞吐性能进行了仿真,结果表明该网络结构在本地流量模式下显示出更强的性能优势。

关键词 光通信, 多核, 光互连, 片上网络(NoC), 光片上网络(ONoC)

0 引言

当片上集成的 IP 核数目增至成百上千^[1,2]时,片上系统在吞吐、功耗、时延和可靠性等方面会遇到瓶颈^[3,4],为解决这些瓶颈,基于计算机网络思想的一种新的互连方式——片上网络(network on chip, NoC)^[5]出现。随着芯片技术的进一步发展,传统的片上电互连在数据传输速度和能耗方面逐渐表现出局限性,进而提出了光互连^[6],用光互连代替电互连的片上网络就称为光片子网络(optical network on chip, ONoC)。与传统电互连相比,光互连具有高带宽密度、低传输时延、低能耗和干扰小等优势,可以解决电互连所面临的通信问题。

由于近几年光器件^[7-11]的快速发展,光片上网络(ONoC)的研究成为一大热点,已提出的运用光互连的网络有 Cornell 大学的基于 bus 的光网络结构^[12], PROPEL 网络^[13], Phastlane^[14], Spectrum^[15], Iris^[16], UC-PHOTON^[17] 和 H²NoC^[18] 等。Cornell 大学提出的基于环形总线结构的 ONoC 给每个节点分配不同的波长,通过使用该技术实现了逻辑上的多总线结构,提高了带宽,但该网络的扩展性却因为单根波导中使用的波长数一定而受到限制。Ohio 大

学的 PROPEL 网络在路由器之间的长距离的通信链路上使用光互连方式,而在路由器与核之间直接用电互连,并且通过在同一波导中使用波分复用技术提高了带宽,采用空分复用技术在不同波导中重用同一波长,提高了波长的利用率。Phastlane 采用光路由,在无竞争的情况下,分组可以在一个时钟内实现多跳,从而减小了整体通信的时延;在有竞争时,分组可以暂时以电的形式缓存,若缓存不够,则直接丢弃分组,并采取相应的补救措施,但源路由会限制性能的提高。清华大学的 Spectrum 和 Iris 均由两个子网组成,两个子网可以并行操作,网络将消息分为两种进行区别对待,以满足各自的通信要求,实现对不同种类消息性能的分别优化。UC-PHOTON 中提出了电网络和光网络的实时的重新配置,大大提高了通信性能,降低了多用户应用的能耗。H²NoC 是一个分层的 ONoC 结构,优势在于使用了电互连的簇和全局的光网络在处理器核之间进行数据分组的传输。本文提出了一种新的光片上网络结构——基于光分组交换技术的分层簇的光片上网络(hierarchical cluster-based optical network on chip, HCONoC),并利用网络仿真器 OPNET 对其性能进行了仿真。

① 国家自然科学基金(60803038, 61070046, 60725415), 国家重点实验室专项基金(ISN1104001), 高等学校学科创新引智计划(B08038)和中央高校基本科研业务费专项(K50510010010)资助项目。

② 女, 1988 年生, 硕士生; 研究方向: 片上网络; E-mail: hui_li2008@163.com

③ 通讯作者, E-mail: hxgu@xidian.edu.cn

(收稿日期: 2010-11-30)

1 HCONoC 的设计

HCONoC 中不同层的簇使用不同的连接方式, 充分发挥各自优势, 通过使用光分组交换机制来避免光电路交换中的建链过程, 提高网络的时延性能。

1.1 HCONoC 网络拓扑

HCONoC 网络 G_k 包含 k 层簇, 簇与簇之间通过该层对应的路由器相连, 其拓扑示意见图 1, 其中 k 为 3。定义网络中第 1 层为最高层, 第 k 层为最底

层, 即层号越小, 所代表的层级 (level) 越高。在网络中, 簇及各簇中的路由器均分配有层号, 簇的层号由该簇中含有的最高层路由器的层号决定。本地的 4 个 IP 核通过普通电路路由器接入光网络与 Type-2 路由器相连, 形成最底层的簇。扩展性对于网络性能有很大的影响, HCONoC 的路由器都有一个端口用于实现不同层簇的连接, G_k 通过该特定端口可以很容易扩展为 G_{k+1} 以及更大规模的网络, 进一步将具有类似结构的不同芯片相连可得到芯片间互连网络。

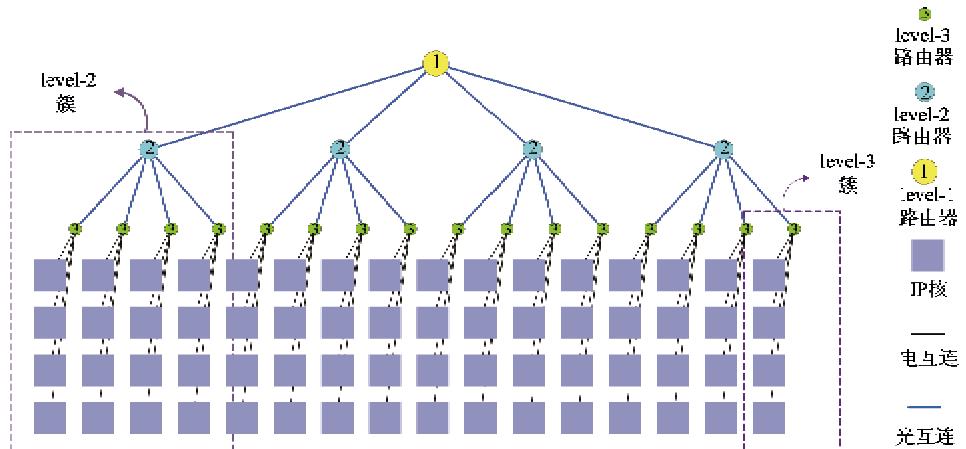


图 1 基于 64 核的 HCONoC 的拓扑(3 层)

1.2 HCONoC 网络布局

图 2 给出了总层数为 3 的 HCONoC 网络的 3D 布局图。接近散热器的较低层结构为电处理层, 它由 64 个 IP 核构成。较高层为光传输层, 其组成为网络中所有处于不同层的路由器, 负责为低层不同簇中的 IP 核之间提供快速的通信。该 3D 布局中光层、电层之间的互连基于硅通孔 (TSV) 技术实现。

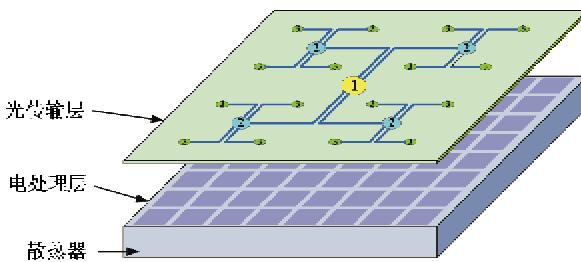


图 2 基于 64 核的 HCONoC 的 3D 布局图

1.3 节点编址

在 HCONoC 网络 G_k 中, 簇的总层数为 k , 网络中的 IP 核总数为 N , k 与 N 的关系表示为 $N = 4^k$ 。HCONoC 中 IP 核的编址维数由网络中簇的总层数决定, 若网络中共有 k 层簇, 则 IP 核采用 $(k+1)$ 维

编址, 分组中的目的地地址形式为 $(M_1, M_2, M_3, \dots, M_i, \dots, M_k, M_{k+1})$ 。我们把处于同一层的簇按照逆时针方向从左上角依次标号为 1, 2, 3, 4, 同理, 将最底层簇中的 IP 核也按此规律标号为 1, 2, 3, 4。分组的目的地地址中的 M_i 表示目的节点在标号为 M_i 的第 i 层簇中, 依此类推, M_k 为目的节点所在的第 k 层簇的簇标号, M_{k+1} 则表示第 k 层簇中标号为 M_{k+1} 的 IP 核。类似于 IP 核, 对网络中的每个路由器都进行了编址, 处于不同层的路由器用不同数目的掩码表示, 具体的数目根据路由器所处的层数决定, 比如, 处于第 i 层的路由器需要 i 维掩码进行表示, 即路由器的地址表示为 $(RM_1, RM_2, \dots, RM_i)$, 与 IP 核的编址方式相同, 其中的 RM_i 表示路由器所处的第 i 层簇的标号。

2 路由器结构

路由器是 ONoC 中至关重要的部分, 负责把分组从源端路由到目的端, 路由器的设计直接影响到网络的性能和成本。我们为 HCONoC 设计了 2 种光路由器结构, 即 Type-1 路由器和 Type-2 路由器,

如图3、图4所示。Type-2路由器负责将4个第k层的簇相连形成高一层的第k-1层簇,更高层簇的形成则通过Type-1路由器实现。路由器的1,2,3,4

这4个端口主要用来连接低一层的簇,5号端口负责与高一层的路由器相连,以便构成高一层的簇来实现低一层中不同簇之间的通信。

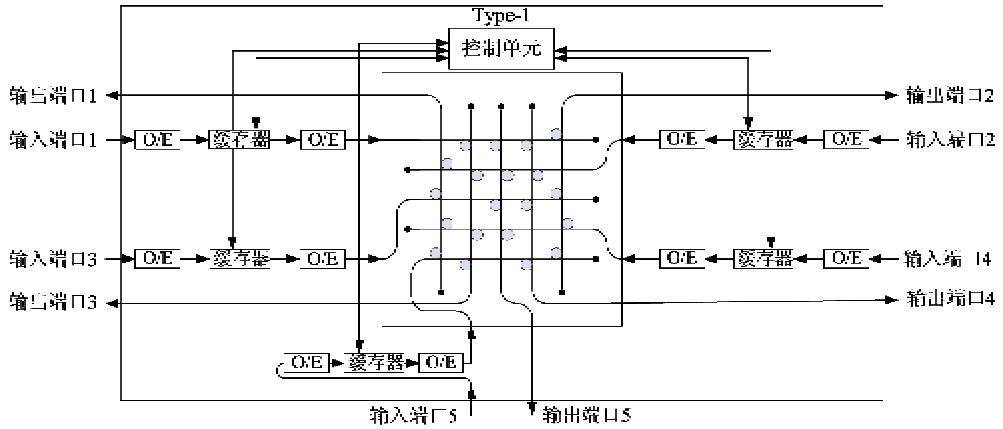


图3 Type-1 路由器

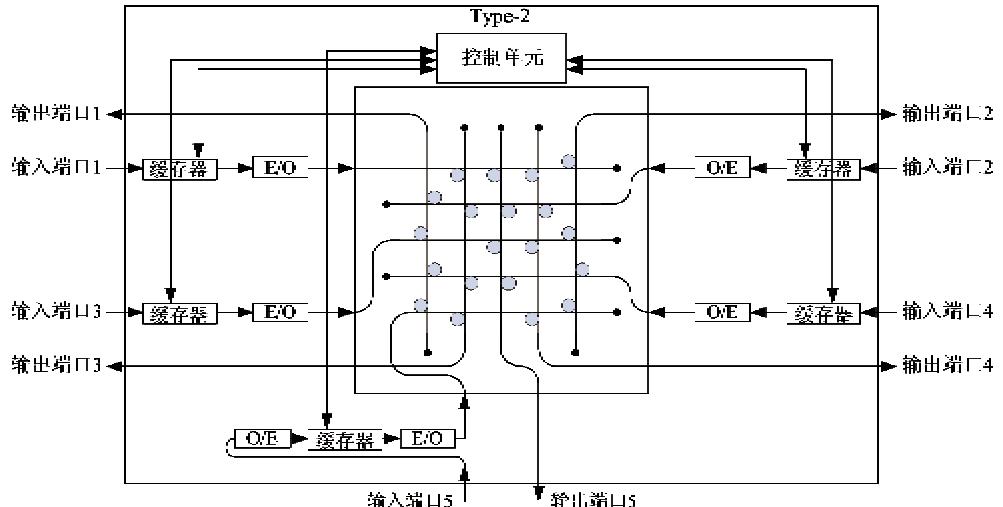


图4 Type-2 路由器

图3所示为Type-1路由器结构,由光交叉开关、控制单元和5组输入端口的接收设备等构成。交叉开关实现端口之间 5×5 的交换功能,使用微环谐振器作为基本的交换单元。与以往的全连接交叉开关不同的是,本文采用优化后的交叉开关结构,内部只需20个微环谐振器和10根波导,其中的微环谐振器均相同,具有相同的谐振波长。输入端口处的一组接收设备由光/电转换器(O/E),缓存器和电/光转换器(E/O)组成。光/电转换器将光信号转换为电信号以便进行电域的处理,信号在缓存器中等待路由结束后,由电/光转换器进行转换后继续在网络中传输。上述路由决定过程由图3中的控制单元完成,它利用分组中的路由信息来控制交叉开关

中相应位置上微环谐振器的谐振状态,从而控制光信号的转弯,实现路由控制功能。Type-2与Type-1路由器的组成及工作原理相同,但Type-2路由器的1,2,3,4输入端口不需要光/电转换器,只有缓存器和电/光转换器。

损耗是评价光路由器性能的一个重要方面,我们对两种光路由器的损耗进行了分析,主要考虑光交叉开关引入的以下4种类型损耗:交叉损耗(crossing loss)、经过微环损耗(passing by loss)、波导弯曲损耗(waveguide bending loss)和微环耦合损耗(drop loss)。根据文献[19]提供的数据,各损耗大小如表1所示。由于两种光路由器内部的光交叉开关设计相同,故损耗特性也相同。经过分析,可以

得到光路由器在不同方向上传输信息时的损耗,如表 2 所示,其中,平均损耗为 0.724dB,最小损耗为 0.62dB,最大损耗为 0.95dB。网络的最大损耗和接收机灵敏度共同决定源端的最小发射功率,经分析计算,HCONoC 中分组从 $(1, 4, 1, m)$ 传输到 $(1, 1, 2, n)$ 的过程中在光路由器中经历的损耗最大,大小为 2.67dB(其中, m, n 取值为 1 至 4 之间的任意数)。

表 1 各种损耗的值

损耗类型	损耗值(dB)
交叉损耗	0.05
经过微环损耗	0.005
波导弯曲损耗	0.005
微环耦合损耗	0.5

表 2 光路由器的损耗分析(单位:dB)

		输出端口						
		1	2	3	4	5		
输入端口	1	0.72	0.77	0.88	0.83	平均损耗	0.724	
	2	0.78		0.885	0.725	0.785	最小损耗	0.62
	3	0.62	0.835		0.78	0.73	最大损耗	0.95
	4	0.89	0.675	0.78		0.675		
	5	0.785	0.95	0.625	0.73			

3 路由算法

源节点 IP 核处于网络的最底层,分组在源节点产生后,先到达与之相连的处于第 k 层簇的路由器,即第 k 层路由器。第 k 层路由器在收到分组后,通过路由计算得到分组的输出端口,然后转发到下一路由器,按照相同的路由过程,分组在其他路由器中存储转发,直至到达目的 IP 核。路由算法的主要思想就是将地址进行逐位比较,具体路由算法的伪代码及说明如下:

```
/* INPUT Destination node (M1, M2, M3... Mi... Mk, Mk+1), current node (RM1, RM2...RMi) */
/* RETURN output port pout */
Begin
for (j = 1; j ≤ i; j++) /* 将分组中包含的目的节点地址与路由器地址从第 1 位开始进行比较,直到第 j 位结束 */
{
    if (Mj != RMj && j < i) /* 分组还没有到达目的 IP 核所在的正确的簇,需要向高层簇传输 */
        pout = 5;
    else if (j = i && j < k) /* 分组到达目的 IP 核所在簇的较高层,需要向低层簇传输到达目的地 */
        pout = Mi+1;
```

```
else /* 分组已到达目的 IP 核所在簇的最底层路由器,将分组转发到目的 IP 核 */
    */
    Pout = Mk+1;
}
END
```

4 HCONoC 的性能仿真及分析

为分析 HCONoC 的网络性能,本文利用网络仿真器 OPNET^[20],对不同网络规模的 HCONoC 进行了建模,对平均端到端时延(ETE-delay)和吞吐(throughput)进行了仿真,仿真结果曲线图的趋势大致相同,故只给出 64 核 HCONoC 网络的仿真曲线。仿真中,各 IP 核按指数分布独立地产生分组,采用均匀流量模式(Uniform)和本地流量模式(Local)。均匀流量模式下,每个 IP 核以相同概率给其它 IP 核发送分组。本地流量模式下,IP 核产生的流量的 $k\%$ 发给本地簇内的其他 IP 核,仿真中 k 取 50、60、70。

图 5、图 6 分别是分组长度为 128byte 和 256byte 下的仿真结果,其中(a)图给出了在不同的流量模式下端到端时延的仿真结果曲线,(b)图给出了网络吞吐随注入率变化的情况。在分组长度一定的情况下,均匀流量模式下性能较差,在本地流量

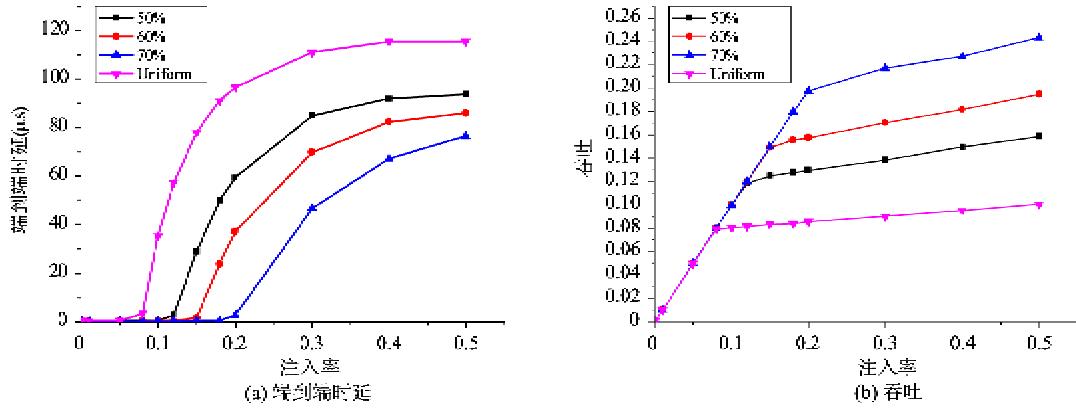


图5 基于64核的HCONoC的网络性能(分组长度为128byte)

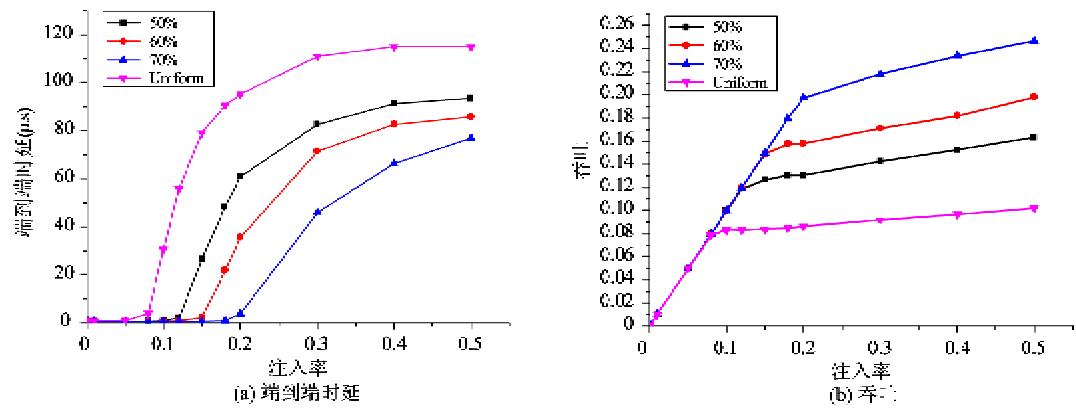


图6 基于64核的HCONoC的网络性能(分组长度为256byte)

模式下饱和点随 k 值的增加而增加,当 k 取 70 的时候,性能最佳,注入率为 0.2 的时候网络达到饱和。在相同流量模式下,分组长度增加会加重网络阻塞,导致网络时延增大,吞吐减小。

5 结论

本文提出了一种新的网络结构——HCONoC。该网络基于簇设计,低一层的簇通过路由器连接形成较高层的簇,不同层的簇使用不同的互连方式。在最底层的簇内,采用电互连方式将各 IP 核进行连接,这样可以充分利用电互连在较短链路上的优势,对于其他较高层的簇,使用光互连方式连接,为网络提供较大的带宽密度、较小的时延和能耗。通过仿真验证该网络的性能,发现该网络结构在本地流量模式下具有很好的性能。

参考文献

- [1] Borkar S. Thousand core chips-a technology perspective. In: Proceedings of the 44th Annual Design Automation Conference, San Diego, USA, 2007. 746-749
- [2] Horowitz M, Dally W. How scaling will change processor architecture. In: Proceedings of 2004 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, USA, 2004. 132-133
- [3] Hemani A, Jantsch A, Kumar S, et al. Network on chip: an architecture for billion transistor era. In: Proceedings of the IEEE NorChip Conference, Turku, Finland, 2000
- [4] Dally W J, Towles B. Route packets, not wires: on-chip interconnection networks. In: Proceedings of the 38th Design Automation Conference (DAC), Las Vegas, USA, 2001. 684-689
- [5] Benini L, Micheli G D. Networks on chips: a new SoC paradigm. *Computer*, 2002, 35(1): 70-78
- [6] Bergman K. Silicon photonic on-chip optical interconnection networks. In: Proceedings of IEEE Lasers and ElectroOptics Society Annual Meeting Conference (LEOS 2007), Lake Buena Vista, USA, 2007. 470-471
- [7] Tatum J. VCSELs for 10 GB/s optical interconnects. In: 2001 IEEE Emerging Technologies Symposium on Broadband Communications for the Internet Era Symposium Digest, Richardson, USA, 2001. 58-61
- [8] Woodward T K, Krishnamoorthy A V. 1-Gb/s integrated

- optical detectors and receivers in commercial CMOS technologies. *IEEE Journal of Selected Topics in Quantum Electronics*, 1999, 5(2) : 146-156
- [9] O’Connor I. Optical solutions for system-level interconnect. In: Proceedings of the 2004 International Workshop on System Level Interconnect Prediction, Paris, France, 2004. 79-88
- [10] Cardenas J, Poitras C B, Robinson J T, et al. Low loss etchless silicon photonic waveguides. *Optics EXPRESS*, 2009, 17(6) : 4752-4757
- [11] Cardenas J, Foster M A, Sherwood-Droz N, et al. Widebandwidth continuously tunable optical delay line using silicon microring resonators. *Optics EXPRESS*, 2010, 18 (25) : 26525-26534
- [12] Kirman N, Kirman M, Dokania R K, et al. Leveraging optical technology in future bus-based chip multiprocessors. In: Proceedings of the 39th Annual IEEE/ACM International Symposium on Microarchitecture, Washington, USA, 2006. 492-503
- [13] Kodi A, Morris R. Design of a scalable nanophotonic interconnect for future multicores. In: Proceedings of the 5th ACM/IEEE Symposium on Architectures for Networking and Communications Systems, Princeton, USA, 2009. 113-122
- [14] Cianchetti M J, Kerekes J C, Albonesi D H. Phastlane: a rapid transit optical routing network. In: Proceedings of the International Symposium on Computer Architecture (ISCA), Austin, USA, 2009. 441-450
- [15] Li Z, Fay D, Mickelson A, et al. Spectrum: a hybrid nanophotonic-electric on-chip network. In: Proceedings of the 46th Annual Design Automation Conference, San Francisco, USA, 2009. 575-580
- [16] Li Z, Wu J, Shang L, et al. A high-performance low-power nanophotonic on-chip network. In: Proceedings of the 14th ACM/IEEE International Symposium on Low Power Electronics and Design, San Francisco, USA, 2009. 291-294
- [17] Bahirat S, Pasricha S. UC-PHOTON: a novel hybrid photonic network-on-chip for multiple use-case applications. In: Proceedings of the 11th International Symposium on Quality Electronic Design (ISQED), San Jose, USA, 2010. 721-729
- [18] Koohi S, Hessabi S. Hierarchical opto-electrical on-chip network for future multiprocessor architectures. *Journal of Systems Architecture*, 2011, 57(1) : 4-23
- [19] Chan J, Biberman A, Lee B G, et al. Insertion loss analysis in a photonic interconnection network for on-chip and off-chip communications. In: Proceedings of the 21st Annual Meeting of the IEEE Lasers and ElectroOptics Society (LEOS 2008), Acapulco, Mexico, 2008. 300-301
- [20] OPNET Technologies. <http://www.opnet.com>, 2010

HCONoC: a novel high-performance hierarchical optical network on chip

Li Hui*, Gu Huaxi*, Yang Yintang**

(* State Key Lab of ISN, Xidian University, Xi'an 710071)

(** Institute of Microelectronics, Xidian University, Xi'an 710071)

Abstract

To address the problems that traditional electrical interconnects face in the aspects of bandwidth and delay, a hierarchical cluster-based optical network on chip, called the HCONoC for short, was proposed based on the optical packet switching mechanism. The topology, layout, and the methods of node addressing and scalability method were designed for the proposed network. Two new router architectures, which were both non-blocking, were devised for its different structural levels. The loss properties of routers were analyzed. An efficient routing algorithm was developed for the network based on its topology character and node addressing to improve the network throughput and minimize the average delay. Finally, the delay and the throughput of the HCONoC were evaluated using OPNET. The simulation results showed that the network exhibited more performance advantages under local traffic patterns than the uniform traffic pattern.

Key words: optical communications, multi-core, optical interconnects, network on chip (NoC), optical network on chip (ONoC)