

2.4GHz 无线传感网亚阈值区低功耗低噪声放大器的设计^①

张 萌^{②*} *** 李智群^{③*} *** 陈 亮 * *** 吴晨健 * *** 徐劭然 * ***

(^{*}东南大学射频与光电集成电路研究所 南京 210096)

(^{**}射频集成电路与系统教育部工程研究中心 南京 210096)

(^{***}江苏省传感网技术重点实验室 无锡 214135)

摘要 给出了一种在 $0.18\mu\text{m}$ CMOS 工艺下应用于 2.4GHz 无线传感器网络(WSN)的低功耗低噪声放大器(LNA)的设计。为了满足低功耗需求,电路采用 1V 电压供电。低噪声放大器由级联共栅结构构成,并且将第一级电路的 MOS 管偏置于亚阈值区以进一步降低功耗。同时,第一级共栅电路采用电容交叉耦合结构,在降低噪声和功耗的同时提高增益;第二级共栅电路采用负载差分电感交叉正反馈的形式,在不增加功耗的情况下,提高电感等效 Q 值以进一步提高电路的增益。为了满足无线传感网应用需求,该低噪声放大器具有高、低两个增益模式。测试结果显示,芯片在 1V 电源电压下,功耗为 0.62mW ;在高增益模式下,增益 S_{21} 约为 17.3dB ,噪声系数约为 4.7dB ;在低增益模式下增益 S_{21} 约 1.2dB ,输入 1dB 压缩点为 -4.4dBm 。

关键词 低噪声放大器,低功耗,亚阈值区,交叉耦合,正反馈

等关键技术,完成该低功耗低噪声放大器设计。

0 引言

IEEE 802.15.4 标准往往被近距离低功耗低成本无线通信所采用,该标准对接收前端的灵敏度、线性度等要求有所放宽,以满足低功耗应用需求^[1]。在节省资源和低碳环保理念的推动下,低功耗技术已成为低成本短距离无线通信研究的重点。无线传感器网络(WSN)正是满足低功耗要求的无线通信系统。一个 WSN 节点是典型的电池供电器件,为了延长电池寿命,WSN 节点接收机必须在满足一定灵敏度的条件下尽量控制功耗。一般情况下,射频前端设备都比模拟和数字基带设备消耗更多的功耗^[2],而低噪声放大器又是射频前端设备中最为关键的模块,它的输入匹配、增益及噪声直接决定了接收系统的灵敏度。所以,本研究的目的是要设计一款低功耗低噪声放大器芯片。该芯片要求在满足输入匹配、增益、噪声及线性度的要求下,尽可能降低芯片功耗。研究的重点是在级联共栅电路的基础上,采用电容交叉耦合、负载正反馈及亚阈值区偏置

1 低噪声放大器结构

当前低噪声放大器的设计往往采用共源结构、共源共栅结构和共栅结构三种设计方案。在窄带应用时,共源结构和共源共栅结构在应用频率内能够提供较高的增益并满足较小的噪声系数。但是,当考虑到静电放电(electrostatic discharge, ESD)电路和芯片键合封装设计时,这两种结构由于寄生参数的不确定,在输入匹配时会出现较大的频率偏移而导致较大的偏差,增加设计的困难性。键合线电感的寄生感值约为 3nH ,同时,为了满足两千伏的人体 ESD 保护,ESD 电路的二极管寄生电容大小必须达到约 200fF ^[3,4]。如果采用共源结构或共源共栅结构的放大器,这些寄生参数将会对输入阻抗产生很大的影响。与之相反,共栅结构在输入匹配时却能轻易解决这些寄生参数的影响。其输入阻抗可以近似表示为^[5]

① 863 计划(2007AA01Z2A7)及江苏省科技成果转化基金(BA2010073)资助项目。

② 男,1984 年生,博士生;研究方向:射频集成电路设计;E-mail:simonkay@sina.com

③ 通讯作者,E-mail:zhiquanli@seu.edu.cn

(收稿日期:2012-12-25)

$$Z_{in} \approx \frac{R_D}{(g_m + g_{mb})r_o} + \frac{1}{g_m + g_{mb}} \quad (1)$$

此处 g_m 是共栅级晶体管的跨导, R_D 是连接到该晶体管漏极的等效负载阻抗。天线阻抗通常为 50Ω 。通过调整 g_m 和 R_D , 可以使输入阻抗近似为 50Ω , 以满足输入端阻抗匹配的要求。

通过式(1)不难发现, 只有连接到晶体管漏极的负载阻抗 R_D 很小时, 共栅级的输入阻抗才会相对较低, 所以对于 50Ω 的输入匹配要求, 该阻值不能取得太大。但是, 共栅结构放大器的增益为^[5]

$$A_v = (1 + \eta)g_m R_D \quad (2)$$

所以 R_D 直接影响共栅结构放大器的增益。为了得到较高的增益, R_D 的阻值应该尽可能大。这对于输入阻抗匹配来说是矛盾的。

为了解决输入阻抗匹配和放大器增益间的矛盾, 本设计中的低噪声放大器采用了两级共栅电路级联的结构。第二级共栅电路起到隔离作用, 可以有效隔离电路的输入端和输出端, 使得输入输出匹配可以各自相对独立地完成, 以保证该低噪声放大器的反向隔离度。通过调整各级的偏置电压, 该低噪声放大器可以在提供一定增益的同时满足较好的输入匹配特性。同时, 第一级共栅电路采用了电容交叉耦合技术, 可以在降低功耗的同时做到更好地输入匹配和提高电路增益。为了减少芯片面积, 同时达到足够的增益, 负载使用差分电感。第二级共栅电路使用了正反馈交叉耦合的形式, 提高负载差分电感的等效 Q 值, 以进一步提高电路的增益。

在正常情况下, 电路设计一般将 MOS 管偏置于饱和区。由于 IEEE 802.15.4 标准对接收前端的灵敏度、线性度要求有所放宽, 所以, 为了进一步降低电路的功耗, 本设计采用亚阈值区偏置技术, 将第一级共栅管偏置于亚阈值区。相比饱和区偏置, 虽然在噪声和线性度方面的性能有所下降, 但可以换取工作电流的大幅降低, 因为对于级联共栅结构而言, 第一级共栅管基本决定了电路的工作电流。第二级电路仍然偏置于饱和区。

考虑到无线传感网节点的距离是变化的, 该低噪声放大器必须具有增益控制功能, 所以该低噪声放大器包含一个由 PMOS 管构成的有源电阻连接在负载端作为增益控制电路, 使得电路具有高、低两个增益模式。在大部分情况下, 电路工作于高增益模式, 以控制系统的噪声, 尽量提高接收机灵敏度。只有当节点较近, 输入信号强度很大, 可能使后级电路非线性严重或阻塞时, 可以将低噪声放大器转换为

低增益模式, 此时我们关注的重点已从噪声变为线性度。式(2)给出共栅放大器的增益正比于负载阻抗, 所以如果降低负载阻抗的值就可以降低电路的增益。因此, 设计考虑将有源电阻阻值并入负载网络以降低低噪声放大器的增益。

本次设计的低噪声放大器原理图如图 1 所示。 M_1 和 M_2 构成第一级共栅电路, M_3 和 M_4 构成第二级共栅电路。因为电源电压为 1V, 如果使用普通 N 管则其衬底必须接地, 通过仿真可以发现在这种情况下 M_3 、 M_4 消耗的漏源电压 V_{DS} 会达到约 700mV, 使第一级放大管没有足够的漏源电压而不能正常工作。因此 M_1 、 M_2 和 M_3 、 M_4 都使用射频 NMOS 管, 使用射频管可以通过将 M_3 、 M_4 的衬底连接到源极的方法降低 M_3 、 M_4 的漏源电压 V_{DS} , 通过仿真验证, 该连接方法能保证 M_3 、 M_4 的漏源压降小于 500mV, 保证第一级放大管 M_1 、 M_2 有足够的漏源工作电压余度; 另一方面, NMOS 射频管制作于深 N 阵中, 在高频工作时相比普通管有更好的噪声性能, 同时在工艺库中射频管有较精确的噪声模型, 可以通过仿真更为准确地模拟电路的真实工作状态。

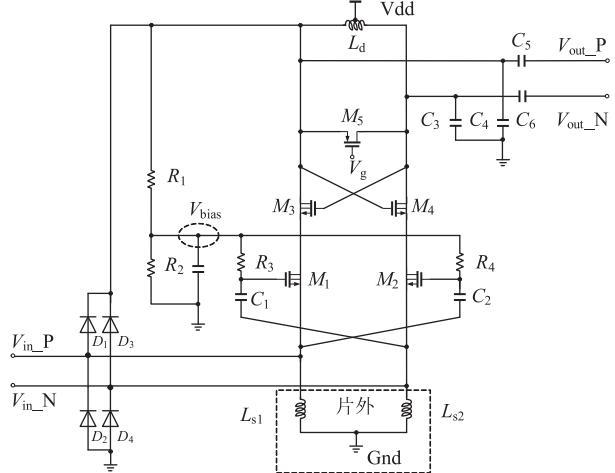


图 1 低噪声放大器原理图

二极管 $D_1 - D_4$ 是输入 ESD 保护电路。 R_1 和 R_2 将电源电压分压至第一级共栅电路所需的偏置电压 V_{bias} 。通过大阻值电阻 R_3 和 R_4 送到 M_1 和 M_2 栅极。 C_1 和 C_2 构成第一级共栅电路的电容交叉耦合结构。 L_{s1} 和 L_{s2} 是片外电感扼流圈, 给电路提供直流通路的同时, 阻隔交流信号。 L_d 是一个差分电感, 与电容 $C_3 - C_6$ 共同构成电路的负载。电容 $C_3 - C_6$ 参与输出谐振并同时起到隔直作用。 M_5 是一个有源电阻, 通过 V_g 信号的高低电位可以改变其阻值, 该电阻与负载并联, 起增益控制功能。

为了得到窄带输出响应,电感 L_d 和电容 $C_3 - C_6$ 在输出端构成 LC 并联网络。通过调整并联入该网络的电容值大小,输出端可以在 2.44GHz 附近呈现出窄带匹配特性。通过仿真发现,该电感 L_d 的取值必须尽量满足大感值要求以满足增益需求。但是工艺能提供的最大感值的电感远远低于所需取值要求。另一方面工艺库中提供的电感面积都十分庞大。所以,本次设计中采用了一个全新设计的差分电感。该电感在 ADS 软件 Momentum 工具中进行了电磁场仿真和建模。

新设计的电感内径为 30 μm ,用顶层金属绘制而成,金属宽度为 3.5 μm 。考虑到顶层金属可以满足每微米 2mA 的电流密度,该电感可以承受约 7mA 电流,这远远高于低噪声放大器的工作电流。电感金属间距也为 3.5 μm ,因为相邻匝间较近的间距可以提供较高的互感值。该电感制作于一块轻质 N 掺杂的衬底区域上,能有效中和 P 衬底的 P 掺杂,提高区域下方的电阻率,增加区域阻值,这样可以有效阻止电磁泄漏,提高电感性能。环绕电感有一圈深 N 阵保护环,可以有效隔离周边电路对电感的影响。此电感面积为 350 $\mu\text{m} \times 350 \mu\text{m}$ 。具体仿真过程和分析可见文献[6]。

由于网络分析仪和噪声仪等测试设备的输入阻抗都为 50 Ω ,而该低噪声放大器的输出阻抗很高,为了测试需要,必须在芯片输出端增加一级测试缓冲电路将芯片输出阻抗降低到 50 Ω ,满足输出匹配要求。测试缓冲电路为源跟随电路,在图 1 中并没有给出。该缓冲电路仅为测试时使用,在系统应用时,不需要使用。当芯片的输入输出端都满足 50 Ω 匹配时,测得的功率增益 S_{21} 即为芯片的电压增益。在实际使用时,低噪声放大器的输出端直接与混频器的输入端相连接,对于有源吉尔伯特结构混频器,该组信号将送至 MOS 管的栅极,其阻抗远远高于低噪声放大器的输出阻抗,所以在系统中使用时的电压增益会比测试值 S_{21} 高 6dB。对于噪声测试,文献[1]证明,其与负载阻抗大小基本无关。因此,通过缓冲电路测得的噪声系数,与系统使用时低噪声放大器的噪声系数相近。

2 电路设计中关键技术分析

2.1 交叉耦合结构

公式(1)给出了共栅级低噪声放大器的输入阻抗,它可以近似为 $1/g_m$ 。同样,噪声系数也反比于

g_m 。为了能够得到更高的增益同时降低噪声,必须将放大器的跨导 g_m 提高^[7]。从共栅放大器的小信号模型可以分析得到,当第一级共栅电路中使用电容交叉耦合结构时,等效跨导 g_m 将会提高到 $2g_m$ ^[8]。所以要完成输入匹配所需要的工作电流将会降低为原来的一半。通过调整 M_1 和 M_2 的宽长比以及偏置电压,满足 $1/(2g_{m1,2})$ 等于 50 Ω ,即可完成输入匹配。

相比文献[8],本设计的改进之处体现在第二级共栅电路。第二级共栅结构本来应该是隔离单元,起到隔离输入输出的作用。这一级并不提供任何的电流增益。但在本设计中,在第二级共栅结构中也使用了交叉耦合结构,其实现方法是将 M_3 的栅极连接到 M_4 的漏极, M_4 的栅极连接到 M_3 的漏极。这样就可以构建成一个正反馈环路,得到一组负阻抵消差分电感的寄生电阻,提高差分电感等效 Q 值,在不增加任何功耗的基础上,可以提高放大器的增益。由于本来第二级共栅结构的偏置电压就是 Vdd,所以在此交叉耦合结构中不需要额外的隔直电容和扼流电阻。第二级共栅结构的等效电路可以用图 2 表示。

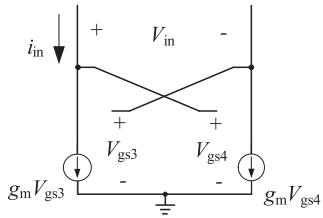


图 2 第二级共栅结构的等效原理图

通过 M_3 和 M_4 的信号是一组差分信号,因此, M_3 和 M_4 的源极可以等效为“虚地”。而连接到 M_3 和 M_4 的栅极的信号相当于其各自的反相 V_{out} 。所以在漏极看到的等效阻抗可以表示为

$$\begin{aligned} v_{in} &= v_{gs4} - v_{gs3} \\ i_{in} &= g_{m3}v_{gs3} = -g_{m4}v_{gs4} \\ R_{in} &= \frac{v_{in}}{i_{in}} = -\frac{1}{g_{m3}} - \frac{1}{g_{m4}} \end{aligned} \quad (3)$$

此处, g_{m3} 和 g_{m4} 分别为 M_3 和 M_4 的跨导。由于 g_{m3} 和 g_{m4} 是相等的,实际并联入负载的等效负阻为 $2/g_{m3}$ 。负阻并联可以提高负载电感的等效 Q 值。但是,正反馈的引入可能会导致放大器不稳定,假设该负载 LC 谐振电路的等效阻抗为 R_p ,则在设计过程中必须始终保持 $g_{m3} < 2/R_p$ 以避免振荡。在仿真过程中,则始终需要关心稳定系数 k_f ,保证其在全频

段范围内都大于 1。

2.2 亚阈值区偏置技术

为了使低噪声放大器达到更低的功耗,将第一级放大器 MOS 管偏置于亚阈值区,因为级联共栅结构的第一级放大电路的工作电流基本决定了芯片的工作电流。所以,降低第一级电路的功耗可以降低芯片的功耗。

简单来讲,当 V_{gs} 高于阈值电压 V_T 的区域被称为强反型区,而低于阈值电压 V_T 的区域被称为弱反型区,也叫亚阈值区。当 V_{gs} 从大于阈值电压 V_T 降低到离 V_T 很近的电压 V_{on} 时,电流随 V_{gs} 变化从平方律变为指数律。在该区域工作的 MOS 管称之为亚阈值区偏置,其具有极低的漏极电流,相应地也具有较低的功耗。但同时,它会导致较大功率工作时的损耗和噪声系数 NF 的增加^[5]。但是在 WSN 接收机应用中,最大接收信号为 -20dBm,最小信号为 -85dBm,对噪声系数和线性度的要求都不是很高,采用亚阈值区偏置是较好的选择。弱反型层工作的简单电流模型为

$$I_d \approx \frac{W}{L} I_{D0} \exp\left(\frac{V_{gs}}{n(kT/q)}\right) \quad (4)$$

其中, n 是亚阈值斜率因子, I_{D0} 是一个与工艺有关的参数,同时也与衬源偏压 V_{sb} 和阈值电压 V_T 有关,它表征的是 MOS 管的宽长比为 1 和各电极对衬底电位为零时的漏极电流。MOS 管工作在弱反型区时的跨导为

$$g_m = \frac{I_d}{nkT/q} \quad (5)$$

通过分析亚阈值区的特性可以了解,相比于饱和区偏置,亚阈值区偏置的 MOS 管的最大优点是可以获得更大的跨导电流比 g_m/I_d ,但是其跨导的绝对值 g_m 还是很低的。因此,解决方法只有增大 MOS 管的宽长比,选择比饱和区偏置更宽的晶体管^[9]。同时,可以通过仿真,得到给定宽长比 MOS 管 g_m/I_d 最大的最优偏置电压 V_{gs} 。图 3 给出了给定 MOS 管的宽长比 W/L 为 $60\mu\text{m}/0.18\mu\text{m}$ 时一组仿真曲线图。可以看出, V_{gs} 在 V_{on} 附近时, MOS 管可以得到 g_m/I_d 的最大值。

根据式(1)、(2),第一级放大电路 M_1 和 M_2 管的跨导 g_m 直接影响芯片的匹配与增益。偏置于亚阈值区的 MOS 管相比偏置于饱和区的 MOS 管达到设计所需要的工作电流低许多。因此,只需要最后找到 g_m/I_d 最大且该跨导 g_m 满足先前设计要求的 MOS 管及偏置电压,即可在不降低输

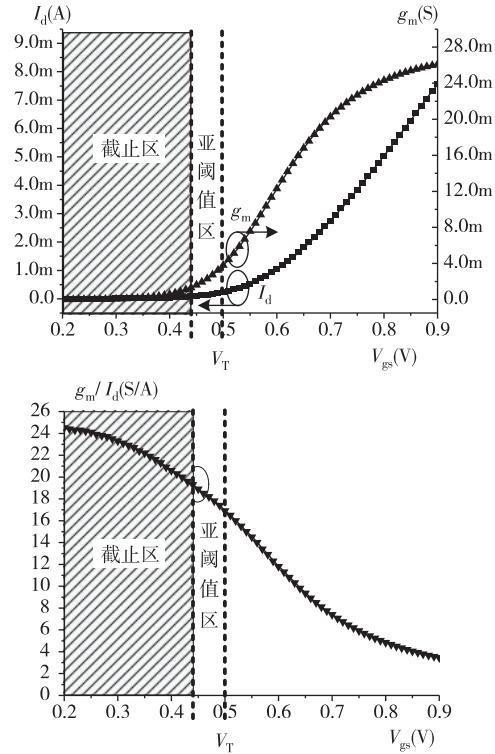


图 3 MOS 管宽长比为 $60\mu\text{m}/0.18\mu\text{m}$ 时的仿真曲线

入匹配性能和增益的情况下大幅度降低芯片功耗。

2.3 降低噪声

共栅结构的低噪声放大器噪声系数是^[10]

$$F \approx 1 + \frac{\gamma}{\alpha g_m R_s} = 1 + \frac{\gamma}{\alpha} \Big|_{g_m R_s = 1} \quad (6)$$

此处 γ 是沟道热噪声电流系数, α 是短沟道效应因数, R_s 是源阻抗。从公式(6)不难看出,直接降低噪声的方法就是提高放大器的等效跨导 g_m 。但是,这将会影响到放大器的输入阻抗以及增加电路的功耗。 g_m 馈增技术可以使降低噪声和输入匹配相对独立完成。 g_m 馈增技术原理图如图 4 左图所示,它使得共栅 MOS 管拥有等效跨导 $(1+A)g_m$ 。则该结构的噪声系数减少为^[9]

$$F = 1 + \frac{\gamma}{\alpha(1+A)^2 g_m R_s} = 1 + \frac{\gamma}{\alpha(1+A)} \Big|_{(1+A)g_m R_s = 1} \quad (7)$$

该公式显示,想降低 g_m 馈增结构的低噪声放大器噪声系数,可以通过增益 A 实现。当第一级共栅结构使用电容交叉耦合结构时,也是使用了 g_m 馈增技术,此处的增益 A 约为 1。其原理如图 4 右图所示。于是,噪声公式可以简化为

$$F \approx 1 + \frac{\gamma}{2\alpha} \quad (8)$$

与没有使用电容交叉耦合结构的共栅结构低噪声放

大器相比,噪声系数公式在分母上多了因子 2,可以将第二项的数值降低到原来的 1/2。

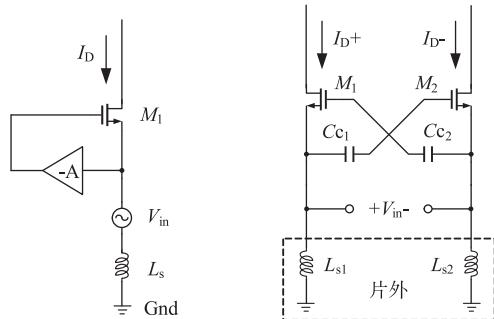


图 4 g_m 馈增技术及电容交叉耦合共栅电路等效原理图

3 芯片测试结果

该低噪声放大器芯片在 TSMC 0.18 μm CMOS 工艺下进行了流片验证。芯片照片如图 5 所示,芯片面积为 800 $\mu\text{m} \times 600\mu\text{m}$ 。由于偏置在亚阈值区,电路的鲁棒性不如饱和区的 MOS 管。MOS 管的阈值电压可能随工艺偏差变化。因此,电路中的偏置电压为外接焊盘,既可以监测芯片内部产生的偏置电压,又可以通过外部改变。在电路工作状态不正常时,可以通过改变该点电压修正。以便在下次流片应用中调整。

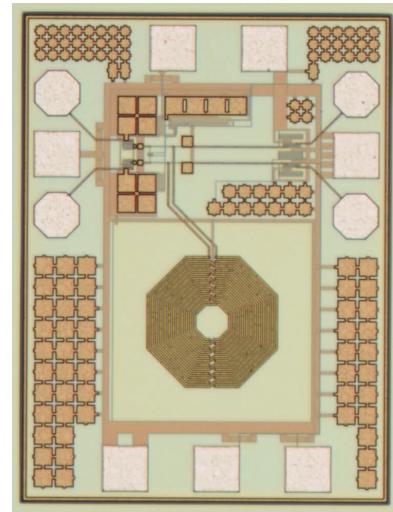


图 5 低噪声放大器芯片显微照片

芯片在 1V 电源电压下工作电流约 620 μA ,功耗为 0.62mW。用安捷伦 E5071B 型号网络分析仪测试芯片 S 参数。高增益工作状态下的测试结果如图 6 所示。横坐标为频率,范围在 2–3GHz。

作为共栅结构放大器的显著特性,芯片 S_{11} 在 2–3GHz 范围内,都小于 –10dB,在 2.44GHz 工作时, S_{11} 约为 –15dB,输入端满足宽带匹配特性。该芯片无需任何片外匹配元件即可与 50 Ω 天线匹配。

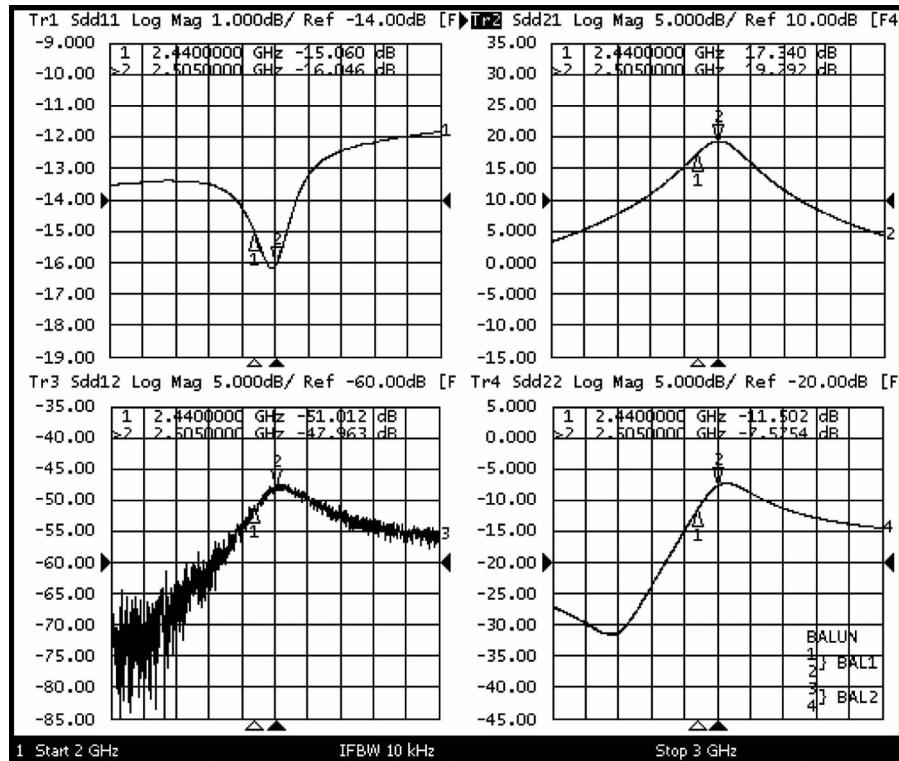


图 6 高增益模式下该射频前端的 S 参数测试结果

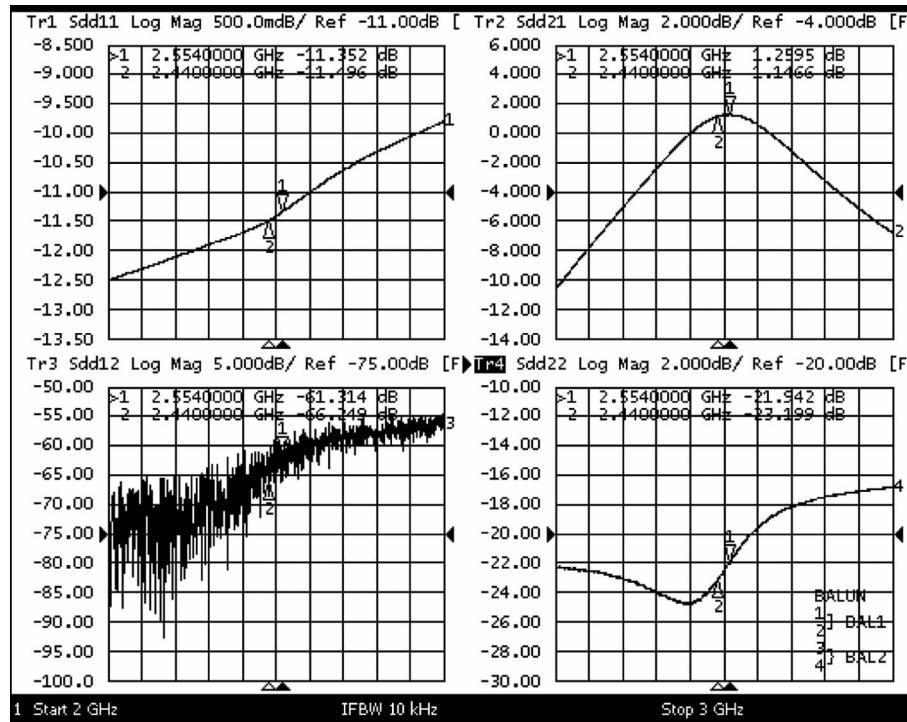


图 7 低增益模式下该射频前端的 S 参数测试结果

增益 S_{21} 在 2.44GHz 时约为 17.3dB, 增益最高出现在 2.505GHz, 约为 19.3dB。结果与后仿真设计中心频率偏差约为 65MHz。此偏差可能是电感模型的不准确带来的。在下次流片时, 可以调整匹配电容 C_3 和 C_4 的值, 满足增益中心频率在 2.44GHz。

反向隔离度 S_{12} 在 2—3GHz 都小于 -47 dB, 芯片隔离度良好。输出匹配 S_{22} 在 2—3GHz 范围内均小于 -7.5 dB, 由于是经过缓冲电路测试得到的数据, 所以不是关键指标。

图 7 给出了芯片在低增益模式下的 S 参数测试结果。在低增益模式下, 芯片 S_{11} 在 2—3GHz 范围内, 都小于 -10 dB, 满足宽带匹配。增益 S_{21} 在

2.44GHz 时约为 1.2dB。反向隔离及输出匹配良好。

在正常条件下, 芯片工作于高增益状态, 此时芯片具有较低的噪声。当输入信号很大且在高增益模式下工作时芯片会进入非线性区, 有时高强度信号经高增益模式放大后会将后级电路拥塞, 于是需要将芯片调整为低增益模式工作。测试结果显示, 该芯片的高、低两档增益跨度较大, 有约 16dB, 能够充分满足系统要求。图 8 给出了芯片的线性度测试结果, 高增益模式下, 电路的输入 1dB 压缩点为 -19.5 dBm, 而在低增益模式下, 电路的输入 1dB 压缩点约为 -4.4 dBm。

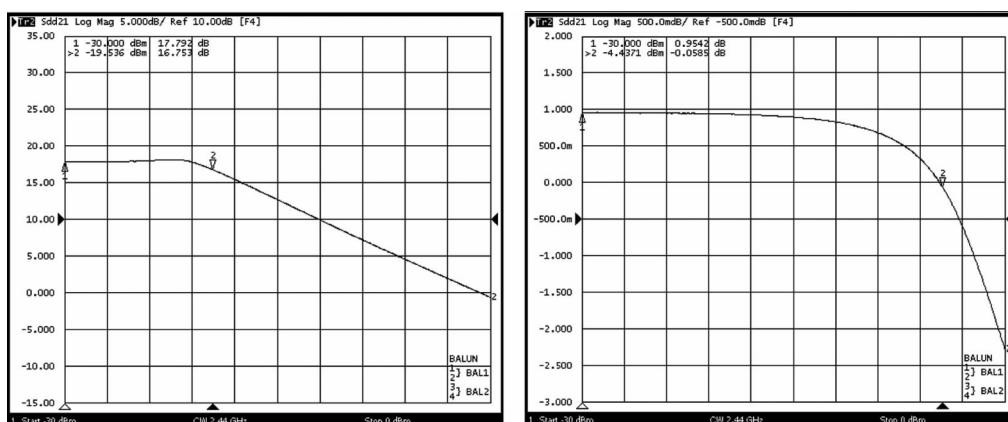


图 8 高、低增益模式下电路的输入 1dB 压缩点测试结果

噪声系数测试应用安捷伦 n8975a 型号噪声仪进行测试。测试前需进行校准, 将电缆及探针的影响在仪器中扣除。论文较为关心该低噪声放大器工作于高增益状态下的噪声系数。噪声仪测得的高增益状态下芯片的噪声系数及增益如图 9 所示。测试结果显示, 芯片在 2.44GHz 工作时, 在高增益模式下的增益约为 17.9dB, 与网络分析仪测得的结果相近, 芯片的噪声系数约为 4.7dB。在低增益模式下, 芯片的增益约为 1.4dB 而噪声系数约为 9.5dB。测试图片并未给出。

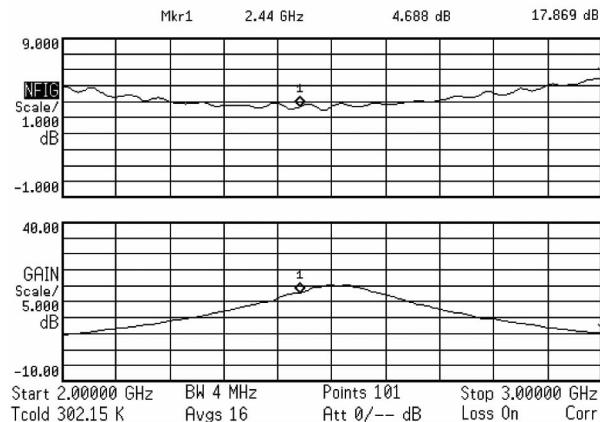


图 9 噪声仪测试得到的高增益模式下电路的噪声系数及增益

表 1 芯片测试总结果

参数	高增益模式	低增益模式
电源电压	1V	1V
工作电流	620μA	620μA
功耗	0.62mW	0.62mW
输入匹配 S_{11}	< -10 dB	< -10 dB
增益 S_{21}	17.3dB	1.2dB
隔离度 S_{12}	< -47dB	< -61dB
输出匹配 S_{22}	< -7.5dB	< -17dB
噪声系数	4.7 dB	9.5 dB
IP1dB	-19.5dBm	-4.4dBm

表 1 给出了芯片测试总结果。表 2 给出了本芯片高增益工作状态下的性能和近几年一些论文提及的低功耗低噪声放大器性能对比。结果显示, 本设计的低噪声放大器具有最低的功耗, 且性能优于或不亚于其他设计。可以通过优率的方法来衡量低噪声放大器的性能。优率有两种衡量方案, 第一种是增益 S_{21} 除以直流功耗, 用 Fom_1 表示; 第二种 Fom_2

可以通过下式表示^[11]:

$$FOM_2[\text{mW}^{-1}] = \frac{\text{Gain}[\text{abs}]}{(NF - 1)[\text{abs}] \cdot Pdc[\text{mW}]} \quad (9)$$

通过优率, 可以更加直观的地析出芯片性能的优劣。结果显示, 在两种优率指标下, 本设计都为最优。

表 2 芯片测试结果对比

文献	功耗 (mW)	增益 (dB)	噪声系数 (dB)	Fom_1 (dB/mW)	Fom_2 (mW ⁻¹)
[1]	0.63	15.4	5.2	24.4	3.55
[4]	5.6	15.2	1.69	2.7	0.87
[6]	2.16	16.8	3.6	7.78	2.47
[8]	14.4	12.9	3.9	0.89	0.16
本设计	0.62	17.3	4.7	27.9	5.04

4 结 论

本文描述了一款应用于无线传感器网络的低功耗低噪声放大器芯片的设计过程。为了满足宽带输入匹配特性, 低噪声放大器采用两级级联的共栅结构, 并在两级电路中使用了交叉耦合及正反馈结构以降低芯片功耗、提高芯片增益。同时将第一级电路的 MOS 管偏置于亚阈值区以进一步降低芯片功耗。经测试, 芯片在 1V 电源电压下工作电流为 620μA, 功耗为 0.62mW; 在高增益模式下, 增益 S_{21} 约为 17.3dB, 噪声系数约为 4.7dB; 在低增益模式下, 增益 S_{21} 约为 1.2dB, 输入 1dB 压缩点为 -4.4dBm。测试结果表明, 该芯片满足无线传感网指标要求, 而且具有非常低的功耗, 这对无线传感网节点低功耗设计和研究, 是一种贡献。由于大胆采用了负载正反馈技术, 在满足芯片稳定性的情况下, 芯片性能得到大幅度提高。同时, 亚阈值区偏置技术的引入, 使得芯片在牺牲一定噪声及线性度性能的情况下, 大幅度降低了功耗。

对于无线传感网的这种无人值守的散布式节点, 在满足性能指标的前提下, 低功耗设计必然成为设计的重点。因此, 亚阈值区偏置等关键技术必将成为研究对象和应用的理论基础。本文提及和使用的这些低功耗设计理念, 可以为芯片的低功耗设计提供一些方法和实践依据。在以后的工作中, 可以进一步深入研究。

参考文献

- [1] Do A, Boon C C. A subthreshold low-noise amplifier optimized for ultra-low-power applications in the ISM band. *IEEE Transactions on Microwave Theory and Techniques*, 2008, 56(2) :286-292
- [2] Lee T H. The Design of CMOS Radio Frequency Integrated Circuits. Cambridge, U. K. : Cambridge University Press, 1998
- [3] Zhang H, Li Z Q, Zhang M, et al. A 2.4GHz Low-IF RF Frontend for wireless sensor networks. In: Proceedings of the 2010 IEEE International Conference Microwave and Millimeter Wave Technology (ICMMT), Nanjing, China, 2010. 225-228
- [4] 张浩,李智群. 带 ESD 保护的 2.4GHz 低噪声放大器的分析与设计. 高技术通讯,2010,20(4):403-409
- [5] Razavi B. Design of Analog CMOS Integrated Circuits. Xian: Xian Jiaotong University Press, 2003
- [6] Zhang M, Li Z Q. Design of low power common-gate low noise amplifier for 2.4GHz wireless sensor network applications. *Journal of semiconductors*, 2012, 33: 1050051-1050057
- [7] Guan X, Hajimiri A. A 2.4GHz CMOS front-end. *IEEE Journal of Solid-State Circuits*, 2004, 39(2) :368-373
- [8] Changgui Lin, Kalkur T S. A 2.4GHz Common-Gate LNA Using on-Chip Differential Inductors in a 0.18μm CMOS Technology. In: Proceedings of the International Conference on Electrical, Communications, and Computers, Cholula, Mexico, 2009. 183-188
- [9] Perumana B G, Mukhopadhyay R, Chakraborty S, et al. A low-power fully monolithic subthreshold CMOS receiver with integrated LO generation for 2.4GHz wireless PAN applications. *IEEE Journal of Solid-State Circuits*, 2008, 43(10) :2229-2238
- [10] Li X Y, Shekhar S, Allstot D J. Gm-boosted common-gate LNA and differential colpitts VCO/ QVCO in 0.18μm CMOS. *IEEE Journal of Solid-State Circuits*, 2005, 40(12) :2609-2619
- [11] Borremans J, Thijs S, Wambacq P, et al. A fully integrated 7.3 kV HBM ESD-protected transformer-based 4.5-6 GHz CMOS LNA. *IEEE Journal of Solid-State Circuits*, 2009, 44(2) :344

Design of a subthreshold biased low power low noise amplifier for 2.4GHz wireless sensor networks

Zhang Meng, Li Zhiqun, Chen Liang, Wu Chenjian, Xu Shaoran

(* Institute of RF-& OE-ICs, Southeast University, Nanjing 210096)

(** Engineering Research Center of RF-ICs & RF-Systems, Ministry of Education, Southeast University, Nanjing 210096)

(*** Jiangsu Provincial Key Laboratory of Sensor Network Technology, Wuxi 214135)

Abstract

A low power low noise amplifier(LNA) for 2.4GHz wireless sensor networks(WSN) in the 0.18μm RF CMOS technology is given. It adopts the 1V supply for low power consumption and a structure of two-stage cross-coupling cascade common-gate(CG) topology designed as the low noise amplifier. Furthermore the first stage is biased on the subthreshold region to reduce the power consumption. The first stage is a capacitive cross-coupling topology to enhance the gain and to reduce the power and noise simultaneously. The second stage is a positive feedback cross-coupling topology to set up a negative resistance to enhance the equivalent Q factor of the inductor at the load to improve the gain. The LNA has the low and high gain modes to meet the requirement of the WSN application. The measurement results showed that the LNA's S_{21} achieved 17.3dB, noise figure 4.7dB at the high gain mode, and the S_{21} achieved 1.2dB gain, the input referred 1dB compression point achieved -4.4dBm at the low gain mode, while the DC power consumption was about 0.62mW under the 1V voltage supply.

Keywords: Low noise amplifier, low power, subthreshold biased, cross-coupling, positive feedback