

基于多级关联信号树的高效可重构网包分类方法研究^①

肖 玮^{②***} 陈性元* 包义保* 杜学绘* 朱雨雯*

(* 解放军信息工程大学密码工程学院 郑州 450000)

(** 空军航空大学基础部 长春 130022)

摘 要 针对高速网络中包分类严重影响路由系统性能提升的问题,进行了深入的实验性研究。针对传统包分类算法通过扩展规则搜索空间实现匹配,占用内存空间大,功耗高,吞吐率低的问题,研究了基于多级关联信号树的高效可重构网包分类方法。通过分析网包分类规则集合特点,提出了一种基于多级关联信号树的逻辑匹配结构,从中抽取出三类可重构的粗粒度网包分类基本计算单元——固定型匹配器、前缀型匹配器和范围型匹配器,用这三类匹配器构成了一个可重构网包分类阵列,通过配置匹配器的重构功能单元(RFU)层和匹配器之间的互联结构——重构互联网络(RIN)层实现了高速分类计算。该方法能够有效节省内存空间,降低功耗,大幅提升匹配速度。为了验证算法性能,在Xilinx公司的Virtex-6(model:XC6VSX475T)芯片上进行仿真实验,实验结果表明该算法吞吐率可以达到100Gbp以上。

关键词 网包分类,可重构,FPGA,多级关联信号树

0 引 言

随着互联网的飞速发展,网络应用衍生出很多新型的网络服务,例如包过滤防火墙、虚拟专用网、流量监控、流量计费等。为了提供这些服务,路由器必须利用包头中的选择符在预先定义的规则集中查找相应的规则,来对将进入的数据包进行分类处理,这种功能我们称之为包分类技术。随着链路速率的不断提升和规则库容量的不断扩大,包分类问题成为设计高性能路由器亟待解决的重要问题之一。

包分类算法可以分为基于软件实现的算法和基于硬件实现的算法。基于软件实现的算法主要有并行位向量(bit vector, BV)算法^[1]、递归流分类(recursive flow classification, RFC)算法^[2]、聚合位向量(aggregated bit vector, ABV)算法^[3]、P2C算法^[4]、Tuple空间搜索算法^[5]、Hicuts算法^[6]等,从目前的研究来看,软件实现的方法已经无法满足新型网络吞吐率的要求^[7]。基于硬件的包分类算法主要是

基于三态内容可寻址存储器(ternary content addressable memory, TCAM)、Bloom滤波器和现场可编程门阵列(FPGA)的算法,基于TCAM的包分类算法匹配速度快,但其价格昂贵,容量小,耗电量大^[8]。基于Bloom滤波器的包分类算法具有较高的时间和空间性能,但是对于范围类型的规则分类效果不是很好,且需要解决复杂的冲突问题^[9-11]。基于FPGA的包分类算法是近年来研究的热点,Haoyu Song等人提出了BV-TCAM^[12]算法,该算法基于BV算法采用多域并行策略,具有较高的效率,但是分域处理前缀域和协议域时同样使用了TCAM,且内存消耗大。Jiang等人提出了一种基于FPGA的大规模线速级包分类算法^[13],该算法将分域并行思想与Bloom算法结合起来并在FPGA上实现,提升了包分类处理速度,但是该算法没有解决Bloom算法处理范围类型规则效果不好的缺点。郑裕峰提出了基于Hitcuts在FPGA上实现的网包分类系统^[14],该方法将规则集合分类并组织成树型数据结构,能够快速定位到匹配项,但是该算法内存开销较大,预处理复杂。针对以上存在的问题,本文提出了一种可重构

① 863 计划(2012AA012704)资助项目。
② 女,1979 年生,博士生,讲师;研究方向:网络与信息安全,可重构安全计算等;联系人,E-mail: dzjsxw@sina.com
(收稿日期:2014-03-11)

可配置的包分类算法,该算法的主要思想是将分类规则看作无含义的字符流并进行分段编码,然后借鉴 Aho-Corasick 算法构建出多级关联信号树,通过分析多级关联信号树的每个状态节点的输入输出特征及其逻辑匹配流程,抽取出三类可重构的网包分类基本计算单元——匹配器(固定型、前缀型和范围型),这三类匹配器构成一个可重构网包分类阵列,通过配置匹配器的重构功能单元(reconfigurable functional unit, RFU)层和匹配器之间的重构互连网络(reconfigurable interconnecting network, RIN)层实现高速分类计算。该方法能够有效节省内存空间,降低功耗,大幅提升匹配速度。

1 问题描述

网包分类技术是一种能够依据网包包头中相关域对网络流量进行细粒度分类的技术^[15]。表 1 给出了一个网包分类规则集合实例。图 1 描述了一个典型的网包分类系统工作过程。进入网包分类系统

的 IP 数据包以包头中的五元组(源/目的 IP 地址域(32bit))、源/目的传输层端口域(16bit)以及传输层协议(8bit)作为选择符在包分类规则集中查找与之相匹配的规则,依据该匹配规则的决策决定下一步动作,例如接受转发(ACCEPT),拒绝转发(DENY),重置连接(RESET)或丢弃数据包(DROP)。

网包分类问题实质上是多域空间中的点定位问题。网包 p 是指包含 d 个域的网包包头。网包包头的各个域可分别表示为 $p[1], p[2], \dots, p[d]$, 其中每个域的取值都是特定长度的比特串。搜索空间 S 是指网包 p 在 d 维空间所有可能的取值构成搜索空间。例如,IPSec SPD 五元组的搜索空间为 $[0, 2^{32} - 1] \times [0, 2^{32} - 1] \times [0, 2^{16} - 1] \times [0, 2^{16} - 1] \times [0, 2^8 - 1]$ 。分类规则 R 是能够识别数据包的特定实体,包含 3 个属性:每个域的搜索空间 $R[1], R[2], \dots, R[d]$ 、规则优先级 $R.\text{priority}$ 、规则的决策 $R.\text{action}$ 。若网包 p 与规则 R 匹配,则 $\forall 1 \leq i \leq d, p[i] \in R[i]$ 。对于包含 n 个规则的规则集合 $R = \{R_1, R_2, \dots, R_n\}$, p 可能与其中多个规则匹配。

表 1 网包分类规则实例

规则	源 IP 地址	目的 IP 地址	源端口	目的端口	协议	优先级	动作
R1	10.2.2.3	64.10.8.*	*	≥ 1024	TCP	1	ACCEPT
R2	10.2.2.3	64.10.8.*	80	80	UDP	2	DENY
R3	10.2.2.3	64.10.8.*	20	*	TCP	3	ACCEPT
R4	10.2.1.*	64.10.0.*	≥ 1024	*	ANY	4	DROP
R5	10.2.8.28	64.10.8.20	*	*	TCP	5	RESET

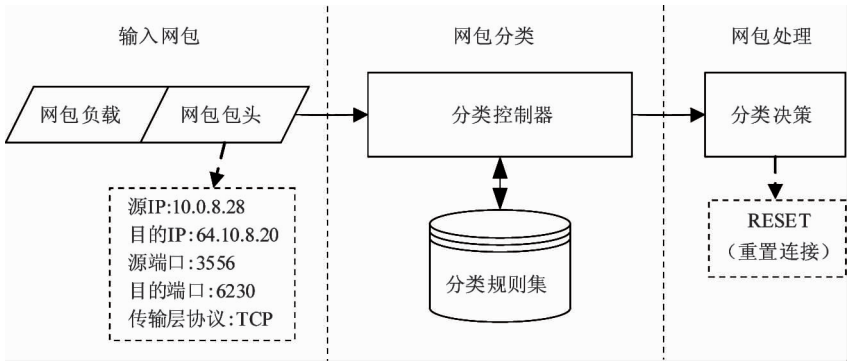


图 1 网包分类系统

基于上述定义,分类规则 R 对应于搜索空间 S 中的一个超长方体^[16],而网包 p 则对应于 S 中一个点,单匹配问题是找到覆盖网包 p 的所有超长方体中优先级最高的规则,而多路匹配问题则是找到所有覆盖 p 的超长方体。以图 2 所示的二维分类规则集合为例,规则库中有三条规则 Rule1, Rule2,

Rule3, 每条规则对应图中一个超长方体。Rule1, Rule2, Rule3 在 x 轴上的投影分别为 X_RG1, X_RG2, X_RG3 , 在 y 轴上的投影分别为 Y_RG1, Y_RG2, Y_RG3 , p 落入超长方体 Rule2, Rule3 中,即网包 p 与规则 Rule2, Rule3 匹配。

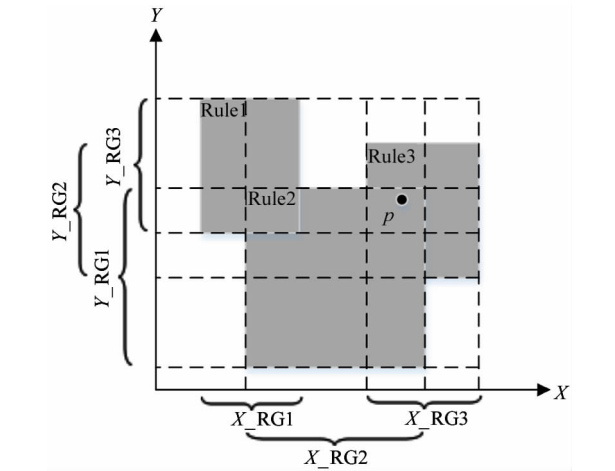


图 2 网包分类问题实例

2 多级关联信号树的构建

表 1 是一个典型的网包分类规则实例,分类规则集的选择符是一个五元组,包括源地址、目的地址、源端口、目的端口和协议字段。为了实现高效的网包匹配,我们把规则选择符看作一串长度为 104bit 的字符流,并以 16bit × 6 + 8bit 形式划分为 7 个比特段,如图 3 所示。然后通过为每一比特段上每个唯一的范围分配一个唯一编码把它转换成一个编码副本,如表 2 所示。其中 P_{ij} 表示分类规则集中第 i 比特段上第 j 个不重复范围的唯一编码, P_{ij} 可以是一个固定值,也可以是一个前缀类型的值(如 8.*)或是一个范围类型的值(如 ≥ 1024)。

	源IP地址		目的IP地址		源端口	目的端口	协议
比特段位宽(bit)	16	16	16	16	16	16	8
段编号	1	2	3	4	5	6	7

图 3 网包分类规则比特流分段示意图

表 2 网包分类规则(选择符)按比特段编码							
	段 1	段 2	段 3	段 4	段 5	段 6	段 7
R1	P ₁₁	P ₂₁	P ₃₁	P ₄₁	P ₅₁	P ₆₁	P ₇₁
R2	P ₁₁	P ₂₁	P ₃₁	P ₄₁	P ₅₂	P ₆₂	P ₇₂
R3	P ₁₁	P ₂₁	P ₃₁	P ₄₁	P ₅₃	P ₆₃	P ₇₁
R4	P ₁₁	P ₂₂	P ₃₁	P ₄₂	P ₅₁	P ₆₃	P ₇₃
R5	P ₁₁	P ₂₃	P ₃₁	P ₄₃	P ₅₁	P ₆₃	P ₇₁

下面借鉴 Aho-Corasick 算法^[16] 构建的分类规则集匹配自动机,称其为多级关联信号树,如图 4 所示。其生成算法如下:

算法 1:Construct of multi-level interfering tree/* 构建多级关联信号树 */

输入:网包分类规则集合 $K = \{R_1, R_2, \dots, R_n\}$

输出:多级关联信号树匹配路径 output

主程序:
① Begin
② For $i = 1$ to n Insert (R_i); /* 将每一条规则插入到模式库中 */
③ For all p such that $g(\text{state}, p) = \text{fail}$: $g(\text{state}, p) \leftarrow 0$; /* 屏蔽非法输入 */
④ End

Function Insert (R) /* 插入一个新的规则 */
⑤ Begin
⑥ $R = P[m]$ /* 分类规则集合是由 m 个比特段构成的数组 */
⑦ $\text{State} = \text{newstate}()$ /* 创建一个新状态 */
⑧ While $g(\text{state}, p[j]) < > \text{fail}$ then
 $\text{state} = g(\text{state}, p[j])$: $j = j + 1$ /* 查找当前比特段的插入点 */
⑨ For $k = j$ to m /* 插入新的比特段到多级关联信号树 */
⑩ Begin for
⑪ $\text{output}(\text{state}) = \text{output}(\text{state}) \cup \{p[j]\}$
⑫ $\text{state} = \text{newstate}()$
⑬ End for
⑭ End

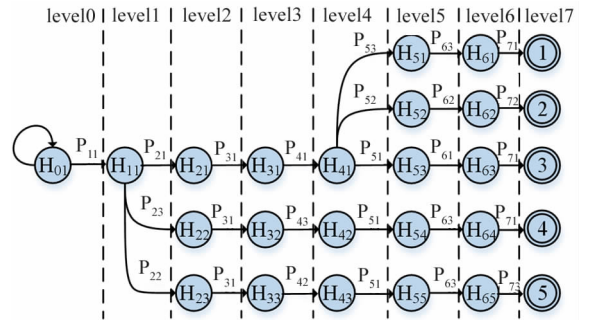


图 4 多级关联信号树

假设网包 P 为源地址 10.2.2.3、目的地址 64.10.8.250、源端口 80、目的端口 80 和协议字段 UDP,网包 P 穿越多级关联信号树经过一系列状态转换得到匹配结果,如图 4 所示,其中的边对应于表 2 中的段编码,节点代表自动机的状态。其匹配过程如下:首先将 P 分割成形如 6 × 16bit + 1 × 8bit 的 7 个比特段,初始状态(H_{01} 状态)下,信号树接收网包 P 的第一个比特段“10.2”,其与编码为 P_{11} 的比

特段匹配,信号树进入 H_{11} 状态,此时输入第二个比特段“2.3”,其与 P_{21} 匹配,进入 H_{21} 状态,继续输入“64.10”,与 P_{31} 匹配,进入 H_{31} 状态;然后输入“8.250”,由于“8.250”的前缀与“8.*”的前缀匹配,因此“8.250”与 P_{41} 匹配进入状态 H_{41} ;接下来输入源端口“80”,与 P_{52} 匹配,进入状态 H_{52} ,再输入目的端口“80”,与 P_{62} 匹配,进入状态 H_{62} ;最后输入“UDP”,与 P_{72} 匹配,进入终态 2,找到一条匹配规则 R2。

需要说明的是,由于 Aho-Corasick 算法在构建关联信号树的过程中对重复模式进行了状态压缩,因此不会出现状态爆炸问题。假设规则数是 n ,规则分段数为 7,那么多级关联信号树状态节点的个数最多为 $7 \times n$ 。

3 可重构多级关联信号树的硬件实现

可重构计算是一种兼具软件灵活性和硬件高效性的数据驱动型计算架构,其基本特征是计算结构可变。网包分类系统正需要一种结构可灵活变化、规则可配置、有近似硬件的处理效率的计算架构来实现接近线速的匹配效率,以满足高速网络应用的需求。基于此,我们设计了一种基于可重构处理设备的高效网包分类算法,该算法通过分析网包分类算法特点,提取出可重构的网包分类基本计算单元,并设计了两层动态配置策略,即布线网络配置层和可重构基本计算单元配置层,构建了一个可重构可配置的网包分类系统。

3.1 可重构网包分类基本计算单元——匹配器

通过上述分析发现,多级关联信号树在每一个状态点都有相同的输入输出结构,例如在状态 H_{11} 处,其输入为比特段编码 P_{11} 及上一级的匹配状态 0 或 1,输出为本级匹配状态。因此可以设计封装如图 5 所示的可重构网包分类基本计算单元,称为匹配器。

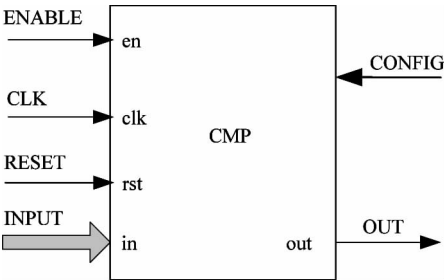


图 5 粗粒度可重构网包分类基本计算单元(匹配器)

匹配器^[17]的功能是比较输入的 IP 数据流比特段与匹配器中的配置的比特段是否相同,若相同,输出为 1,若不同,则输出为 0,输出作为下一个匹配器的使能端。其中,ENABLE 是使能端,控制匹配器是否可用;CLK 是时钟信号;RESET 为复位键;INPUT 为网包的比特段编码输入端;OUT 为输出;CONFIG 为输入配置命令。可重构网包分类系统的管理机制会根据实际需要将匹配器配置成系统需要的可重构计算单元。

由于 P_{ij} 可以是一个固定值,也可以是一个前缀型值(如 8.*)或是一个范围型值(如 ≥ 1024),其匹配计算方法各不相同,因此硬件设计电路有所不同。按照输入类型的不同将匹配器划分为三种可重构基本计算单元:

(1)固定值匹配器

固定值匹配器(图 6)主要用于协议型字段等匹配内容固定的单元匹配。它由触发器、等值比较器、和“与”逻辑门组成。以表 2 中 R1 规则协议比特段为例(段 7),首先系统通过配置命令 CONFIG 将 R1 规则的协议字段编码 P_{71} 写入寄存器 value-reg 中,当匹配器开始工作时,网包 p 的协议段与 value-reg 中的值进行等值比较,若相等,则代表网包 p 的协议段与 R1 规则的协议字段匹配。

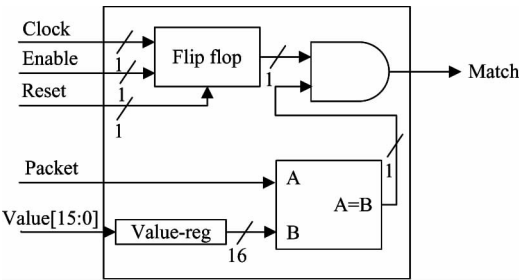


图 6 固定值匹配器

(2)前缀型匹配器

前缀型匹配器(图 7)与固定值匹配器结构类似,也由触发器和比较器部分组成,不同的是前缀型匹配器不仅要配置规则的段编码 Value[15:0],还需要配置规则的掩码 Mask[16:0],输入的网包先与掩码相“与”后再与比特段编码进行比较。

(3)范围型匹配器

范围型比较器(图 8)适用于端口类型比特段,比较器中设置了可配置上下界的比较器,输入的端口与上界和下界同时比较,若二者输出都为 1,说明此端口号在此范围内,否则说明不匹配该项。

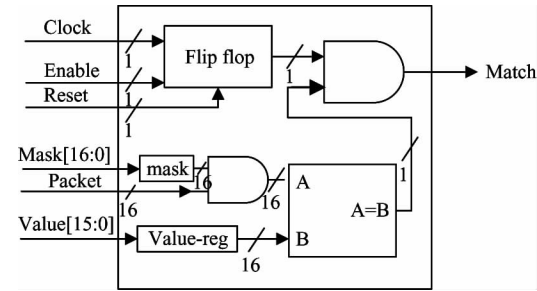


图 7 前缀型匹配器

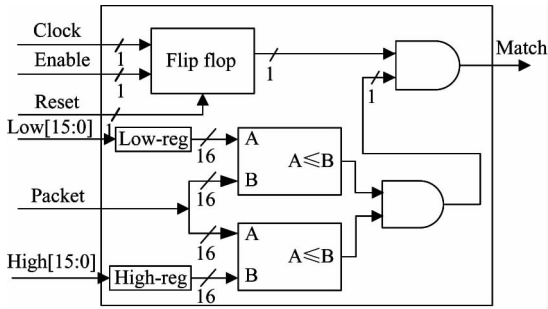


图 8 范围型匹配器

3.2 多级关联信号树硬件自动机设计

本文提出网包分类系统是由可重构匹配单元构成的 $7 \times N$ (N 的大小) 阵列, 该体系采取二层设计结构: 底层为可重构功能单元 (RFU) 层, 上层为可重构互连网络 (RIN) 层。RFU 由上述三种基本可重构基本计算单元组成, 三种功能单元都内嵌有配置寄存器, 可以通过写入不同的配置命令对其进行重构。RIN 用来实现不同 RFU 之间的连接, 这就要求连接不同功能单元的互连网络能根据需要进行相应的配置。具体的配置更新算法本文不作详细阐述。图 9 为表 1 网包分类规则实例的可重构硬件设计结构。

该硬件结构的工作过程和布线结构都与上述多级信号关联树类似, 因此称其为多级信号关联树硬件自动机。它由 RIN、RFU、配置器、FIFO 器件、编码器等组成。

配置器用于布置连接网络和配置的可重构基本计算单元的 Mask [15:0]、Value [15:0]、Low [15:0]、High [15:0] 等寄存器, 它接收系统提交的配置命令请求, 负责缓冲、解析、处理配置命令, 其命令格式设计如下:

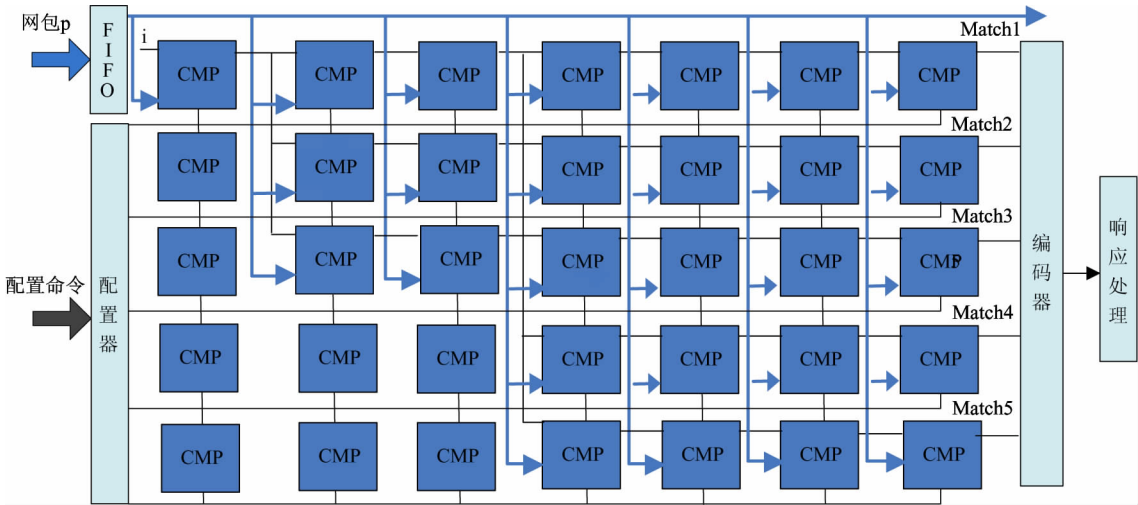


图 9 多级关联信号树硬件自动机

(1) RIN 配置命令

格式: Add seg0 seg2 ...seg15

说明:

Add: 配置总线组位置, 8bit;

Segi: 实现互联功能, 假设其高四位编码为 X , 它实现总线组上方第 i 个数据传输单一和该总线组下方第 X 个数据单元的互连, 6bit。

(2) RFU 配置命令

格式: Add Configuration Class

说明:

Add: RFU 寻址命令, 16 位;

Configuration: 配置信息, 64 位, 有四个值: Mask [15:0], Value [15:0], Low [15:0], High [15:0];

Class: RFU 分类, 2bit, 有三个值: 固定, 前缀, 范围。

配置器的功能主要是为 RFU 和 RIN 设置配置缓冲区用以放置配置指令。在配置策略上, 采取静态配置和动态配置相结合的方式: 对于那些配置信

息量较大、执行过程中变化频度较小的操作采取静态配置,即在计算开始之前,将相应的配置指令一次性下载到 RFU 和 RIN 对应的配置缓冲区,在计算过程中,根据需要,直接对相应的配置指令进行切换即可实现不同的功能,而不必重新从外部下载配置指令;而对于那些配置信息量较小、执行过程中变化频度较大的操作则采取动态配置,配置器将动态配置指令存放在一些特殊的区域,当需要重构时,配置指令从该区域下载到可重构电路中实现动态重构。这种配置方式既具有较大的灵活性,同时也降低了配置带宽的压力,具有较高的配置速度。

编码器是将网包匹配结果编码成指向对应规则集合内存的地址信号,引入编码器可大量减少管脚输出的数量。FIFO 器件用于实现比特段按时序的输入。网包 p 穿越多级信号数硬件自动机,若在某一匹配成功,则 out 信号为 1,同时作为下一级所有比较器的使能端,在 FIFO 的控制下,每一级输入对应网包的相应 16 位比特段,直到最后一级输出 match 信号,所有 match 信号经过编码器编码为对应规则的地址信号,交给响应处理部件。

4 性能分析

本文选用 Xilinx 公司的 Virtex-6 (model: XC6VSX475T) 芯片对 10K 分类规则进行匹配。该芯片的计算资源为 37200 可编程逻辑单元(configurable logic blocks), 包含 39223 K 比特块存储单元(Block RAMs), 所有实验结果使用 Xilinx 的 ISE 仿真平台获取。

输入数据流为 Sniffer 获取的 40 字节网包测试数据集。从表 3 可以看出,本文提出的算法在 FPGA 平台上吞吐率可以达到 147Gbps。随着规则数目的增多,最高可用时钟频率和吞吐率都会有所降低,这是因为规则数目增多导致使用的逻辑单元和存储单元增多,从而增加了 FPGA 内部互联的复杂性,导致电路延迟增加,时钟频率和吞吐率下降。本

表 3 FPGA 资源利用情况

规则数目	最高频率 (MHz)	最大吞吐 率(Gbps)	逻辑单元 使用	存储单元 使用
100	139.4	147	432	24
1000	129.5	135	2068	223
10000	112.3	121	10307	478

文算法的准确率为 1,即对于到达的数据包,若规则库中有与之匹配的规则则一定可以匹配到,若没有则不匹配任何规则。

表 4 比较了 4 种基于 FPGA 的网包分类算法的性能,可以看出本文给出的算法明显优于其他算法。

表 4 性能对比分析

算法	规则数目	吞吐率(Gbps)
本文的方法	10000	121
LSWS ^[7]	10000	7.22
BV-TCAM ^[6]	222	10
Hitcuts ZYF ^[8]	500	6.6

5 结 论

本研究分析总结了现有基于软件和硬件的网包分类算法的主要思想和优缺点,详细描述了网包分类问题的实质,针对现有网包分类算法研究成果存在占用存储空间大、能耗高等缺点,提出了一种基于可重构设备的高效的网包分类算法;通过深入分析网包分类问题的特点,借鉴 Aho-Corasick 算法思想,设计了多级关联信号树,将搜索空间定位问题转化为模式匹配问题,之后设计了多级关联信号树的可重构硬件实现架构,结合可重构计算特点提取出了可重构的网包分类基本计算单元,并设计了两层动态配置策略 RFU 和 RIN,构建了一个可动态重构的网包分类系统;最后在 Xilinx Virtex-6 (model: XC6VSX475T) 芯片上对分类规则集合进行测试,实验结果表明本研究给出的方法能够达到 100Gbps 以上匹配速率。

参考文献

[1] Lakshman T, Stiliadis D. High-speed policy-based packet forwarding using efficient multi-dimensional range matching. In: Proceedings of the ACM SIGCOMM, Vancouver, Canada, 1998. 203-214

[2] Gupta P, McKeown N. Packet classification on multiple fields. In: Proceedings of the ACM SIGCOMM, Cambridge, Massachusetts, USA, 1999. 147-160

[3] Baboescu F, Varghese G. Scalable packet classification. In: Proceedings of the ACM SIGCOMM'01, 2001. 199-210

[4] Van Lunteren J, Engbersen T. Fast and scalable packet classification. *IEEE Journal on Selected Areas in Communications*, 2003: 560-571

[5] Srinivasan V, Suri S, Varghese G. Packet classification

- using tuple space search. In: Proceedings of the ACM SIGCOMM'99, 1999. 135-146
- [6] Gupta P, McKeown N. Packet classification multiple fields. In: Proceedings of the ACM SIGCOMM, 1999. 147-160
- [7] 李晶皎, 许哲万, 王爱侠. 高速网包分类平台的 FPGA 设计. 东北大学学报(自然科学版), 2012, 33(8): 1115-1119
- [8] Xu Y, Liu Z, Zhang Z, et al. An ultra high throughput and memory efficient pipeline architecture for multimatch Packet classification without TCAMs. In: Proceedings of the ANCS, Princeton, USA, 2009. 189-198
- [9] Chen Y H, Oguntoyinbo O. Power efficient packet classification using cascaded bloom filter and off-the-shelf ternary CAM for WDM networks. *Computer Communications*, 2009, 32(2): 349-356
- [10] Pao D, Li YK, Zhou P. Efficient packet classification using TCAMs. *Computer Networks*, 2006, 50(18): 3523-3535
- [11] Priya A, Lim H. Hierarchical packet classification using a Bloom filter and rule-priority tries. *Computer Communications*, 2010, 33(10): 1215-1226
- [12] Song H, Lockwood J W. Efficient packet classification for network intrusion detection using FPGA. In: Proceeding of the ACM/SIGDA International Symposium on Field Programmable Gate Arrays, ACM, 2005. 238-245
- [13] Jiang W, Prasanna V. Large-scale wire-speed packet classification on FPGAs. In: Proceedings of the SPAA, Calgary, Canada, 2009. 188-196
- [14] 郑裕峰. 高速包分类协处理器及网络平台研究: [博士学位论文]. 中国科学技术大学, 2007. 94-100
- [15] 亓亚恒, 李军. 高性能网包分类理论与算法综述. 计算机学报, 2013, 36(2): 408-421
- [16] Aho A, Corasick M. Efficient string matching: an aid to bibliographic search. *Commun ACM*, 1975, 18(6): 333-340
- [17] Floyd R W, Ullman J D. The compilation of regular expressions into integrated circuits. In: Proceedings of 21th Annual IEEE Symposium on Foundations of Computer Science, 1980. 260-269

An efficient reconfigurable packet classification method based on multi-level association signal tree

Xiao Wei **, Chen Xingyuan *, Bao Yibao *, Du Xuehui *, Zhu Yuwen *

(* Cryptography Engineering College of the PLA Information Engineering University, ZhengZhou 450000)

(** Department of Foundation, Aviation University of Air Force, Changchun 130022)

Abstract

A deep experimental study on the packet classification in high-speed networks was conducted to solve its serious effect on the routing system's performance, and an efficient reconfigurable packet classification method based on a multi-level association signal tree was put forward to solve the problems of big memory space, high power consumption and low throughput of the traditional packet classification algorithm which matches the rules by extending the search space. By analyzing the characteristics of the network packet classification rule set, a logic matching structure based on a multi-level logic correlation signal tree was proposed, and three types of coarse-grained reconfigurable basic computing units, called fixed matcher, prefix matcher and range matcher, were invented based on it. These matchers were used to constitute a reconfigurable array of network packet classification. The system achieved reconfiguration by configuring the reconfigurable functional unit (RFU) and reconfigurable interconnecting network (RIN). This method can effectively save memory space, reduce power consumption, and significantly improve the matching speed. The results of the simulation experiment on Xilinx's chip of Virtex-6 (model: XC6VSX475T) show that the algorithm can achieve the throughput of more than 100Gbp.

Key words: packet classification, reconfigurable, FPGA, multi-level association signal tree