

基于电路结构的测试移位功耗优化方法^①

许超^② * * * * * 孟祥刚 * * * * * 陈华军 * * * * * 卢新元 * * * * *

(* 计算机体系结构国家重点实验室(中国科学院计算技术研究所) 北京 100190)
(** 中国科学院计算技术研究所 北京 100190)
(*** 中国科学院大学 北京 100049)
(**** 龙芯中科技术有限公司 北京 100190)
(***** 南开大学电子信息与光学工程学院 天津 300350)

摘 要 研究了扫描结构和测试功耗优化技术,考虑到现有的修改扫描单元结构降低测试移位功耗的方法存在冗余开销的问题,提出一种新的基于电路结构的测试移位功耗优化方法。该方法充分利用芯片内部的电路结构,通过分析扫描单元的扇出结构及其控制值,并根据分析结果和权重分配规则动态规划扫描单元的优化顺序,减少处理扫描单元的数量,避免产生冗余的测试开销。同时保证组合逻辑在移位过程中保持不翻转或者尽量不翻转,从而达到降低测试移位功耗的目的。在 ITC’99 基准电路上的实验结果表明,采用上述优化方法后组合逻辑的移位功耗降低了 8.18% 到 96.98%,时序逻辑的移位功耗降低了 41.92% 到 71.74%,与现有修改扫描单元的方法相比,面积开销节省了 6.71% 到 20.95%。

关键词 扫描单元, 电路结构, 测试移位功耗, 动态规划, 测试开销

0 引 言

扫描测试带来的高移位功耗体现在扫描移入移出阶段连续移位操作触发扫描单元的高翻转,扫描单元的高翻转传播到组合逻辑则进一步引发较高的功耗。由于移位功耗与芯片内部单元的翻转直接相关,因此降低移位阶段的翻转率能有效地降低测试移位功耗。总体来说,降低翻转率的方法大致分为两类:第一类是基于数据处理的方法^[1-5]。文献[1, 2]通过对测试向量重排序来降低相邻两个向量之间的翻转数。文献[3]基于测试向量之间共存特性的分析,通过处理向量中的无关位来实现向量压缩。文献[4]在移位阶段前对初始输入端口(primary in-

put,PI)赋予初始值来降低扫描单元跳变对组合逻辑的影响。文献[5]则在研究了翻转率和故障集关系的基础上,利用故障集来筛选向量。第二类是基于硬件修改的方法^[6-10]。文献[6]通过分析测试向量相邻位之间的跳变来重构扫描链。文献[7,8]采用扫描链分段和移位时钟分割的方式来降低移位阶段同时刻扫描单元翻转的总数。文献[9,10]则从修改扫描单元结构的角度来控制移位阶段的翻转数。文献[1-3,6]所提出的方法受工具和测试向量生成算法的影响较大,比如当生成的测试向量无关位占比很小时,文献[3]的压缩效果将大大降低。文献[5]虽然能简化筛选向量的难易程度,却会降低芯片的整体故障覆盖率。此外,文献[1-3,6-8]都是从控制扫描单元翻转的角度出发,而在芯片规模

① 国家“核高基”科技重大专项课题(2009ZX01028-002-003, 2009ZX01029-001-003, 2010ZX01036-001-002, 2012ZX01029-001-002-002, 2014ZX01020201, 2014ZX01030101),国家自然科学基金(61521092,61432016,61222204)和中国科学院重点部署项目(ZDRW-XH-2017-1)资助项目。
② 男,1991年生,博士生;研究方向:计算机系统结构,芯片验证与测试;联系人,E-mail: xuchao@ict.ac.cn
(收稿日期:2018-10-12)

越大和设计越复杂的情况下,组合逻辑产生的功耗远大于时序逻辑产生的功耗。文献[4]虽然考虑了组合逻辑的影响,但优化效果受限于输入端口数量。修改扫描单元结构能有效地降低组合逻辑的翻转,最常用的方法是通过对每个扫描单元插入或非门的方式保证移位阶段扫描单元输出端 Q 保持为 0,使得每个扫描单元驱动的组合逻辑的输入端在移位过程中不会有跳变产生,但缺点是硬件开销较大且存在冗余的情况。另外,在每条功能路径上均插入一个或非门,对时序余量紧张的路径来说会进一步加重负担,严重的情况下会使芯片性能降级。

为了解决移位功耗过大的问题和弥补修改全部扫描单元方法的不足,本文提出从描述电路结构的门级网表中提取扫描单元的扇出结构并进行分析和建模,依据建模的结果筛选出需要替换的扫描单元,最大化利用电路本身的特性降低扫描单元的替换率,且保证组合逻辑在移位过程当中保持不翻转或者尽量不翻转,达到降低测试移位功耗的同时实现最小化硬件开销的目的。

1 基于电路结构的测试移位功耗分析

测试移位功耗与芯片内部单元的翻转直接相关,通过降低移位阶段的翻转率能够有效地降低功耗。考虑到组合逻辑的跳变与输入值和逻辑门类型有关,本文以两种最为常见的组合逻辑门进行分析。第一种情况如图 1(a)所示,扫描单元的扇出结构为与门,由于与门的控制值为 0,扫描单元 SC0 或 SC1 其中的任意一个在移位阶段保持为 0 即可满足扫描移位过程中与门输出值保持不变,因此只需要修改一个扫描单元即可。第二种情况如图 1(c)所示,扫描单元的扇出结构为或门,由于或门的控制值为 1,扫描单元 SC0 或 SC1 其中的任意一个在移位阶段保持为 1 即可满足扫描移位过程中或门输出值保持不变,因此也只需要修改一个扫描单元即可。本文采用如图 1(b)和(d)所示的两种扫描单元修改方案,保证扫描单元在扫描移位过程中输出值分别为 0 或者 1。

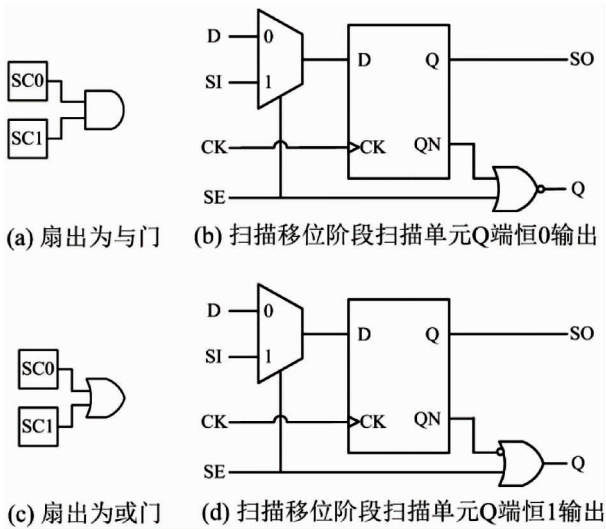


图 1 两种常见组合逻辑门及其优化方法

综上所述,针对图 1(a)和 1(c)的逻辑门,只需要使 SC0 和 SC1 两个扫描单元中的一个输出为控制值即可保证逻辑门的输出值不变。因此,针对所有扫描单元单一地进行结构修改在硬件开销上存在冗余问题。通过分析电路结构确定扫描单元是否具有修改的必要性以及根据扇出结构确定修改方式可以在硬件资源消耗最小化的基础上降低测试移位功耗。

2 测试移位功耗优化实现

2.1 电路结构分析和统计

为了确定扫描单元是否需要修改,需要对每一个扫描单元的扇出结构和相应的控制值进行分析,为此本文提出了一种如算法 1 所示的遍历电路结构统计扫描单元扇出和控制值的算法。

算法 1 的输入是插入扫描链后的门级网表,输出为包含扫描单元、扇出结构及控制值之间对应关系的 FILE0 文件。首先创建集合 Record[], SC[] 是整个电路的扫描单元的集合,可以通过电子设计自动化(electronic design automatic, EDA)综合工具提取,比如 Design Compiler。FO[] 是扫描单元扇出结构的集合,也可以利用 EDA 综合工具提取出来。然后根据每个扫描单元的每个扇出结构的类型得到相应的控制值并将每条对应关系存入集合 Record[] 中。

算法 1 扫描单元扇出及控制值统计

procedure Fanout _ ControlValue(Netlist, FILE0)

- 1) Create collection Record[].
- 2) Extract all scan cells and put them into array SC[].
- 3) $n = \text{size of SC}[]$;
- 4) for $i = 1, n$ do
- 5) Extract all fanouts of SC[i] and put them into array FO[].
- 6) $k = \text{size of FO}[]$;
- 7) for $j = 1, k$ do
- 8) if (type of FO[j] is buffer)
- 9) Go to step 5) and keep ControlValue
- 10) else if (type of FO[j] is inverter)
- 11) Go to step 5) and reserve ControlValue
- 12) else
- 13) Obtain ControlValue according type of FO[j]
- 14) put (SC[i], FO[j], ControlValue) into Record[]
- 15) Generate FILE0 based on Record[]
- 16) end procedure

需要说明的是,修改扫描单元的结构是为了控制第一级扇出结构均不翻转,但不包括缓冲器和反相器两种类型。当扇出结构为缓冲器时,算法继续往下统计该缓冲器的扇出,且控制值保持不变。举例如图 2(a)所示,当检测到 SC0 的某个扇出 G0 为缓冲器,还需提取出 G0 的扇出 G1 和 G2,且直接根据 G1 和 G2 的类型即可得到实际的控制值。定义一个三元组 $T(\text{SC}, \text{G}, \text{value})$ 分别代表扫描单元、扇出结构以及相应的实际控制值,每个三元组为集合里的一个元素。则上例分析后得到的集合 S 包含 4 个三元组元素 $\{T_1(\text{SC0}, \text{G1}, 0), T_2(\text{SC0}, \text{G2}, 1), T_3(\text{SC0}, \text{G3}, 0), T_4(\text{SC0}, \text{G4}, 1)\}$,集合 S 的大小等于扫描单元的扇出结构的数量的总和。

同理,当扇出结构为反相器时,算法继续往下统计该反相器的扇出,控制值取反。如图 2(b)所示,

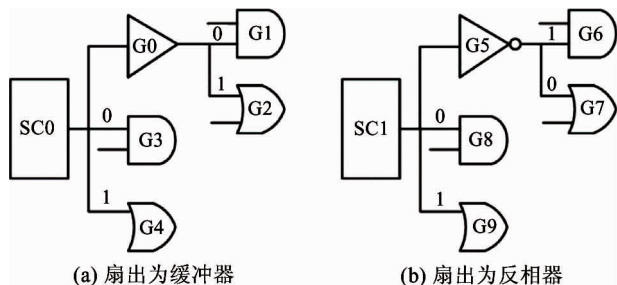


图 2 扇出结构为缓冲器和反相器分析

当检测到 SC1 的某个扇出 G5 为反相器,还需提取出 G5 的扇出 G6 和 G7,但根据 G6 和 G7 的类型得到控制值取反后才为实际控制值。上例分析后得到的集合 S 包含 4 个三元组元素 $\{T_1(\text{SC1}, \text{G6}, 1), T_2(\text{SC1}, \text{G7}, 0), T_3(\text{SC6}, \text{G8}, 0), T_4(\text{SC1}, \text{G9}, 1)\}$ 。

在具体电路设计中,可能存在多级缓冲器、多级反相器以及相互交叉的情况,因此可能需要多次迭代查找才能得到完整的扇出的集合,以及需根据反相器的奇偶性判定最终的实际控制值。

2.2 权重计算

根据 2.1 节中的统计结果计算每个扫描单元的权重,算法实现如算法 2 所示。

算法 2 计算扫描单元的权重值及排序

procedure Calculate _ Weight(FILE0, SC)

- 1) Create collection C[] based on FILE0.
- 2) %Weight = ϕ
- 3) $n = \text{size of C}[]$;
- 4) for $i = 1, n$ do
- 5) if (exists \$ Weight{C[i][0]})
- 6) temp = \$ Weight{C[i][0]} - ϵ
- 7) if (temp > C[i][2])
- 8) \$ Weight{C[i][0]} = (temp - C[i][2]) / (temp + C[i][2])
- 9) else
- 10) \$ Weight{C[i][0]} = (C[i][2] - temp) / (temp + C[i][2])
- 11) else
- 12) \$ Weight{C[i][0]} = C[i][2] + ϵ
- 13) Sort %Weight
- 14) Select scan cell of Weight_{max} based on 13)
- 15) end procedure

算法 2 的输入是 2.1 节算法 1 中的统计结果 FILE0,输出为权重最大的扫描单元。其中权重值的分配规则如下:

(1)若只有控制值 0(或 1),即控制值单一,则权重越高。

(2)在控制值唯一的情况下,驱动的门数越多,则权重越高。

(3)在控制值不唯一的情况下,控制值为 0 和控制值为 1 的门数之间差别越大,则权重越高,且控制值选取门数更多的值。

定义一个新三元组 $T'(SC, value, number)$, 分别代表扫描单元、实际控制值和在实际控制值下的扇出数量。为简化说明过程, 假设扇出结构只有两输入的与门和或门, 经过算法 1 分析后得到的集合 S 为 $\{T_1(SC0, G0, 0), T_2(SC0, G2, 0), T_3(SC1, G0, 0), T_4(SC1, G1, 1), T_5(SC2, G2, 1), T_6(SC3, G1, 1), T_7(SC3, G3, 1)\}$, 关系如图 3 所示。其中 SC0 只存在控制值为 0 的情况且扇出有 G0 和 G2, 因此得到 SC0 的三元组为 $(SC0, 0, 2)$ 。SC1 控制值为 0 的情况下有扇出 G0, 控制值为 1 的情况下有扇出 G1, 因此得到 SC1 的三元组有 $(SC1, 0, 1)$ 和 $(SC1, 1, 1)$ 。同理可得 SC2 的三元组有 $(SC2, 1, 1)$, SC3 的三元组有 $(SC3, 1, 2)$ 。最终得到算法 2 步骤 1) 中的集合 $C[]$ 为 $\{T'_1(SC0, 0, 0), T'_2(SC1, 0, 1), T'_3(SC1, 1, 1), T'_4(SC2, 1, 1), T'_5(SC3, 1, 2)\}$, 然后根据权重分配规则对集合 $C[]$ 进行权重值的计算, 计算过程利用哈希实现, 对于用到的参数 ε 的设定需要满足足以对扫描单元按权重值大小归类。本文中 ε 的值给定为 1 000, 则处理后得到的权重值大小分别为: $W_{sc0} = 1\ 002, W_{sc1} = 0, W_{sc2} = 1\ 001, W_{sc3} = 1\ 002$ 。按照权重值大小排序: $SC0 = SC3 > SC2 > SC1$ 。

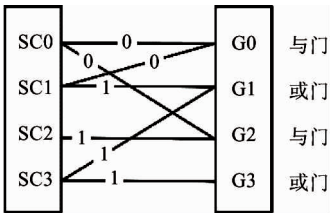


图 3 初始集合关系

2.3 扫描单元结构修改

选择权重值最高的扫描单元, 并根据实际控制值替换为相应的新扫描单元结构, 之后检查控制值对应的逻辑门是否已经被完全控制, 若可以则将该扇出从集合中剔除。扫描单元、扇出有一个集合为空时算法停止, 否则重复算法 2。按照该方法针对图 3 的权重计算结果, 首先选取 SC0 并根据控制值 0 修改为图 1(b) 所示的扫描结构, 由于 G0 和 G2 均为与门且控制值均为 0, 因此两者可以从门集合中剔除, 并可从集合中连接到 G0 和 G2 的所有元素删

除。更新集合 S 为 $\{T_1(SC, G1, 1), T_2(SC3, G1, 1), T_3(SC3, G3, 1)\}$, 关系如图 4 所示。

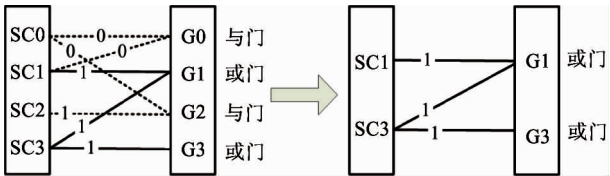


图 4 变更后集合关系

然后更新集合 $C[]$ 中的元素为 $\{T'_1(SC1, 1, 1), T'_2(SC3, 1, 2)\}$, 重新计算各个扫描单元的权重值分别为: $W_{sc1} = 1\ 001, W_{sc3} = 1\ 002$ 。按照权重值大小排序: $SC3 > SC1$ 。选取 SC3 并根据控制值 1 修改为图 1(d) 所示的扫描结构, 由于 G1 和 G3 均为或门且控制值均为 1, 因此可以从集合中剔除, 并可从集合中连接到 G1 和 G3 的所有连线删除。此时扫描单元和扇出集合为空, 算法停止。

在真实电路中, 逻辑门通常包含多个输入端口。本实验采用 EF130 0.13 μm 工艺库中的 scs8lp_a2110_o 和 scs8lp_a320i_o 逻辑门, 其结构如图 5 所示。

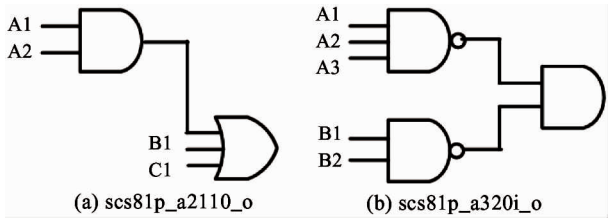


图 5 库单元结构

如图 5 所示两结构, 若想使其不翻转, 需判断的真值表达式分别为: $(B1 || C1 || (A1 \& A2)) || ((A1 \text{ ne " "}) \& (A2 \text{ ne " "}) \& (B1 \text{ ne " "}) \& (B2 \text{ ne " "}))$ 和 $((\sim A1 || \sim A2 || \sim A3) \& (\sim B1 || \sim B2)) || (A1 \& A2 \& A3) || (B1 \& B2) || ((A1 \text{ ne " "}) \& (A2 \text{ ne " "}) \& (A3 \text{ ne " "}) \& (B1 \text{ ne " "}) \& (B2 \text{ ne " "}))$ 。真值表达式结果为真时, 表明逻辑门能完全控制, 其余输入控制端可以忽略。以图 5(a) 为例, 假设 B1 端对应的扫描单元经分析后修改为图 1(d) 的结构, B1 端在移位阶段恒为 1, 真值表达式结果为真, 则 A1、A2 以及 C1 端口与对应

的扫描单元之间控制关系可以从集合中删除,在下一步权重分析过程中不予考虑。

3 测试移位功耗优化流程

综上所述,本文提出的测试移位功耗优化实现流程如图 6 所示。

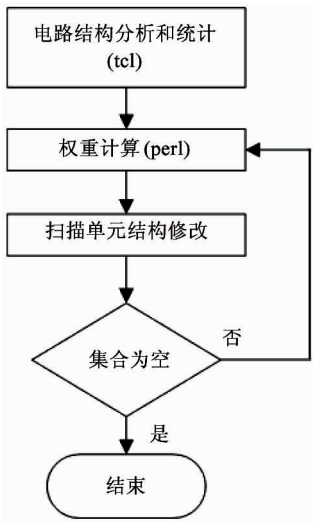


图 6 测试移位功耗优化流程

首先,通过 tcl 脚本分析和统计电路结构内每个扫描单元的扇出结构及其控制值。其次,采用 perl 脚本根据统计结果和权重分配规则计算每个扫描单元的权重,动态规划扫描单元的优化顺序。最后,选取权重最高的扫描单元进行修改,同时检查该扫描单元对应的扇出结构的真值表状态,并根据反馈结果重新进行权重分配直至满足程序设定的结束条件。

4 结果分析

为了评估本文所提优化方法对降低测试移位功耗以及测试开销的效果,本实验选取 ITC'99 基准电路做为评估对象。为了确保实验的一般性和一致性,实验采用自动测试向量生成 (automatic test pattern generation, ATPG) 工具对待测电路随机生成向量,比如 TetraMax,且用同一份向量对 3 个版本的电

路进行仿真验证。由于触发器太少的电路结构过于简单,不具代表性,本实验只选取了触发器数目大于 400 的基准电路进行评估。组合逻辑的移位功耗和时序逻辑的移位功耗的实验结果分别如表 1 和表 2 所示,面积开销的实验结果如表 3 所示。表中名词定义如下:

DEF (Default):按照商用 DFT 工具默认的方式插入扫描链后的网表;

MAS (Modify all scan cell):所有扫描单元按图 1 (b) 的方式修改后的网表;

BCS (Based on circuit structure):采用基于电路结构分析后修改扫描单元后的网表。

表 1 最后一列是不做优化 (DEF) 和采用本文所提出的优化方法 (BCS) 两种情况下的实验对比结果。从结果来看,b15、b17、b20 和 b21 采用 BCS 分析处理后组合逻辑的移位功耗在 DEF 的基础上有了明显降低。其中,在 b15 和 b17 上的优化效果最为明显,尤其是 b15 电路组合逻辑部分的移位功耗降低了 96.98%。然而,从结果中也可以看到,b18 和 b22 的优化力度较小,其中 b18 的优化效果仅为 8.18%。这是由于在算法实现过程中考虑了物理设计布局布线的因素,在对扫描单元的扇出进行分析时,跨模块的扇出结构不做考虑,主要优化对同一模块内组合逻辑的控制,因此对于扇出跨模块过多的电路结构的优化力度会受到影响,但从整体优化结果来看,优化效果均得到提升。另外,相比于针对所有扫描单元单一进行修改的方法 (MAS),本文所提出的方法能达到同样的优化效果。

表 2 最后一列的对比对象与表 1 相同,结果表明采用 BCS 分析处理后所有电路时序逻辑的移位功耗在 DEF 的基础上同样有了明显降低。尤其是对于 b15 电路来说,时序逻辑的移位功耗降低了高达 71.74%。对于扇出跨模块过多的电路 b18,组合逻辑的移位功耗优化效果不明显的情况下,时序逻辑的移位功耗仍降低了 41.92%。另外,相比于针对所有扫描单元单一进行修改的方法 (MAS),本文所提方法的优化效果更好,b22 电路在 MAS 的基础上还能再优化 5.21%。

表 1 组合逻辑移位功耗对比

电路名称	触发器 (个)	扫描链 (条)	移位功耗(W)			
			DEF	MAS	BCS	优化
b15	449	3	6.105e-05	1.846e-06	1.846e-06	96.98%
b17	1415	10	8.816e-05	2.400e-05	2.400e-05	72.78%
b18	3320	20	5.565e-05	5.110e-05	5.110e-05	8.18%
b20	490	3	5.803e-05	1.880e-05	1.880e-05	67.60%
b21	490	3	5.337e-05	1.696e-05	1.696e-05	68.22%
b22	735	4	5.609e-05	3.418e-05	3.418e-05	39.06%

表 2 时序逻辑移位功耗对比

电路名称	触发器 (个)	扫描链 (条)	移位功耗(W)			
			DEF	MAS	BCS	优化
b15	449	3	3.161e-05	8.949e-06	8.933e-06	71.74%
b17	1415	10	2.266e-05	9.876e-06	9.291e-06	59.00%
b18	3320	20	1.632e-05	1.011e-05	9.478e-06	41.92%
b20	490	3	1.006e-05	5.563e-06	5.097e-06	49.33%
b21	490	3	1.097e-05	6.066e-06	5.523e-06	49.65%
b22	735	4	9.957e-06	5.857e-06	5.338e-06	46.39%

表 3 是采用所有扫描单元单一进行修改的方法 (MAS) 和本文所提优化方法 (BCS) 的开销评估, 评估的方式采取对比两种方法需要修改的扫描单元的数量, MAS 是对所有扫描单元统一进行结构修改, 本文所提出的方法则是根据扇出结构和控制值选择性修改。实验结果显示, 采用本文所提方法, 需要修改的扫描单元的数量降低了 6.71% 到 20.95%。经过分析电路后发现, b15、b17 和 b18 3 个电路扫描单元与扇出结构大多属于一对一的关系, 交叉控制的逻辑较少, 所以冗余开销相对较少, 而对于 b20、

b21 和 b22 这 3 种扫描单元与组合逻辑间控制关系复杂的电路, 硬件开销均有明显降低。

除此之外, 所述优化方法从工程实践的角度出发, 采用 tcl 和 perl 脚本实现, 可以很好地与商用 EDA 工具结合应用。综上所述, 采用所提优化方法可以在有效降低移位功耗的同时降低硬件修改带来的开销, 这无疑将具有很大的实用价值。

5 结 论

降低测试功耗一直是业内研究的热点。本文在调研了测试功耗优化技术的基础上提出了基于电路结构分析来降低测试移位功耗的方法。此优化方法从芯片的门级网表中准确提取出扫描单元的扇出结构, 根据扇出结构获取相应的控制值, 依据权重分配规则动态规划扫描单元的修改优先级, 并通过考虑扇出结构的真值表状态来精简需要处理的扫描单元的集合, 消除冗余的硬件开销, 最小化修改扫描单元对芯片性能带来的影响, 保证组合逻辑在移位过程中保持不翻转或者尽量不翻转, 通过降低扫描测试

表 3 面积开销			
电路名称	开销		
	MAS	BCS	优化
b15	449	410	8.69%
b17	1415	1320	6.71%
b18	3320	3029	8.77%
b20	490	388	20.82%
b21	490	388	20.82%
b22	735	581	20.95%

移位阶段的翻转率来降低整体的测试移位功耗。实验结果表明,采用本文所提的优化方法后,组合逻辑的移位功耗大大降低,时序逻辑的移位功耗也有明显降低。另外,相比于扫描单元全部修改的传统方法,本文所提方法可以去除冗余修改,有效地减少芯片的硬件开销。

本文所提优化方法并没有完全考虑对功能路径的影响,除了扫描单元的扇出结构外,路径长度、模块的层次、功能部件的定义以及物理位置信息均是功能路径尤其是关键路径的影响因素。将上述因素纳入权重分配规则范围内,降低扫描单元修改对关键路径的影响将做为未来研究的方向。

参考文献

[1] Chakravarty S, Dabholkar V P. Two techniques for minimizing power dissipation in scan circuits during test application[C]. In: Proceedings of the 3rd IEEE Asian Test Symposium, Nara, Japan, 1994. 324-329

[2] Tudu J T, Larsson E, Singh V, et al. On minimization of peak power for scan circuit during test[C]. In: Proceedings of the 14th IEEE European Test Symposium, Sevilla, Spain, 2009. 25-30

[3] Wu P H, Chen T T, Li W L, et al. An efficient test-data compaction for low power VLSI testing[C]. In: Proceedings of the 2008 IEEE International Conference on Elec-

tro/Information Technology, Ames, USA, 2008. 237-241

[4] Lai N C, Wang S J. Low-capture-power test generation by specifying a minimum set of controlling inputs[C]. In: Proceedings of the 16th Asian Test Symposium, Beijing, China, 2007. 413-418

[5] Lee J, Tehranipoor M. LS-TDF: low-switching transition delay fault pattern generation[C]. In: Proceedings of the 26th IEEE VLSI Test Symposium, San Diego, USA, 2008. 227-232

[6] Ghosh S, Basu S, Toubia N A. Joint minimization of power and area in scan testing by scan cell reordering[C]. In: Proceedings of IEEE Computer Society Annual Symposium on VLSI, Tampa, USA, 2003. 246-249

[7] Whetsel L. Adapting scan architectures for low power operation[C]. In: Proceedings of International Test Conference, Atlantic City, USA, 2000. 863-872

[8] Pradeep W, Narayanan P, Mittal R, et al. Frequency scaled segmented (FSS) scan architecture for optimized scan-shift power and faster test application time[C]. In: Proceedings of 2017 IEEE International Test Conference, Fort Worth, USA, 2017. 1-10

[9] Sankaralingam R, Toubia N A. Inserting test points to control peak power during scan testing[C]. In: Proceedings of the 17th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, Vancouver, Canada, 2002. 138-146

[10] Bhunia S, Mahmoodi H, Ghosh D, et al. Low power scan design using first-level supply gating [J]. *Very Large Scale Integration (VLSI) Systems*, 2005, 13 (3) :384-395

A test-shift-power optimization method based on circuit structure

Xu Chao * * * * *, Meng Xianggang * * * * *, Chen Huajun * * * * *, Lu Xinyuan * * * * *

(* State Key Laboratory of Computer Architecture, Institute of Computer Technology, Chinese Academy of Sciences, Beijing 100190)

(** Institute of Computing Technology, Chinese Academy of Sciences, Beijing 100190)

(*** University of Chinese Academy of Sciences, Beijing 100049)

(**** Loongson Technology Corporation Limited, Beijing 100190)

(***** College of Electronic Information and Optical Engineering, Nankai University, Tianjin 300350)

Abstract

The scan structure and test-power optimization are studied, and a new test-shift-power optimization method based on circuit structure is proposed. To reduce the number of modified scan cells and delete redundant test cost existing in test-shift-power reduction methods, the new method makes full use of inner structure of circuit, analyses fanouts and control value of scan cells, and dynamically programs optimized order of scan cells according to analysis results and weight allocation rules. During shift procedure, combinational logic elements can be kept still to reduce test-shift-power further. The results of the test conducted on ITC'99 platform demonstrate that the shift-power of combinational logic elements is reduced by 8.18% to 96.98% and that of sequential logic elements is reduced by 41.92% to 71.74%. The cost of area is reduced by 6.71% to 20.95% compared with the existing methods based on modifying scan cells.

Key words: scan cell, circuit structure, test-shift-power, dynamically program, test cost